



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

⑫ **Offenlegungsschrift**
⑩ **DE 101 01 899 A 1**

⑤1 Int. Cl. 7:
G 01 R 31/3193
G 01 R 31/3183

②1 Aktenzeichen: 101 01 899.1
②2 Anmeldetag: 17. 1. 2001
④3 Offenlegungstag: 22. 11. 2001

DE 101 01 899 A 1

③0 Unionspriorität:
009113/00 18. 01. 2000 JP
178917/00 14. 06. 2000 JP

⑦1 Anmelder:
Advantest Corp., Tokio/Tokyo, JP

⑦4 Vertreter:
Hoffmann, E., Dipl.-Ing., Pat.-Anw., 82166
Gräfelfing

⑦2 Erfinder:
Miura, Takeo, Tokyo, JP

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Verfahren und Vorrichtung zum Testen von Halbleiterbauelementen

⑤7 Daten, die aus einem im Test befindlichen Halbleiterbauelement ausgegeben werden, und ein Referenztaktsignal, das aus ihm in Synchronisation mit den Daten ausgegeben wird, werden von Mehrphasen-Strobe-Impulsen abgetastet, die geringfügig gegeneinander phasenversetzt sind. Die Phasen der Punkte der Änderung der Ausgabedaten und des Referenztaktsignals werden aus den abgetasteten Ausgangssignalen gewonnen, dann wird die Phasendifferenz zwischen ihnen gemessen, und es wird eine Überprüfung ausgeführt, um zu ermitteln, ob die Phasendifferenz in einen vorbestimmten Bereich fällt, wodurch das im Test befindliche Halbleiterbauelement auf einer Gut/Schlecht-Basis evaluiert wird.

DE 101 01 899 A 1

BEST AVAILABLE COPY

Beschreibung

Hintergrund der Erfindung

[0001] Die vorliegende Erfindung betrifft ein Verfahren sowie eine Vorrichtung zum Testen von Halbleiterbauelementen, die zur Verwendung beim Testen von Halbleiterbauelementen geeignet sind, die eingebaute schnelle Schreib- und Leseschaltung aufweisen.

[0002] Bevor mit der Erläuterung des Stands der Technik zur vorliegenden Erfindung begonnen wird, wird zunächst unter Bezug auf Fig. 1 eine Beschreibung des grundlegenden Aufbaus eines Halbleiter-IC-Testers angegeben.

[0003] Der IC-Tester, im allgemeinen mit TES bezeichnet, umfaßt einen Haupt-Controller 13, einen Mustergenerator 14, einen Taktgenerator 15, einen Wellenformformatierer 16, einen Logikkomparator 12, einen Treiber 17, eine Signalausleseschaltung 11, einen Fehleranalysespeicher 18, eine Logikamplitudenreferenzspannungsquelle 19, eine Vergleichsreferenzspannungsquelle 21 und eine Bauelementstromquelle 22.

[0004] Der Haupt-Controller 13 wird gewöhnlich von einem Computersystem gebildet und arbeitet unter der Steuerung eines von einem Benutzer hergestellten Testprogramms und steuert hauptsächlich den Mustergenerator 14 und den Taktgenerator 15. Der Mustergenerator 14 erzeugt Testmusterdaten, die von dem Wellenformformatierer 16 in ein Testmustersignal der gleichen Wellenform wie das tatsächliche umgesetzt werden. Das Testmustersignal wird an den Treiber 17 geliefert, von dem es als Wellenform mit einem Amplitudenwert, der in der Logikamplitudenreferenzspannungsquelle 19 eingestellt wird, ausgegeben wird und an einen im Test befindlichen Speicher-DUT zur Speicherung in ihm angelegt wird.

[0005] Ein aus einer Speicherzelle des im Test befindlichen Halbleiterbauelements DUT ausgelesenes Antwortsignal wird an die Signalausleseschaltung 11 geliefert, in der sein Logikwert ausgelesen wird, d. h., von einem Strobe-Impuls abgetastet wird. Der Logikkomparator 12 vergleicht den so ausgelesenen Logikwert mit einem vom Mustergenerator 14 gelieferten Erwartungswert. Wenn eine Nicht-Übereinstimmung zwischen dem Logikwert und der Erwartung gefunden wird, wird festgelegt, daß die Speicherzelle mit der Adresse, von der das Antwortsignal ausgelesen wurde, fehlerhaft ist, und bei jedem Auftreten eines derartigen Fehlers wird die Fehleradresse im Fehleranalysespeicher 18 zur Verwendung nach Abschluß des Tests bei der Entscheidung darüber gespeichert, ob die fehlerhafte Zelle reparierbar ist.

[0006] Fig. 1 ist eine diagrammartige Darstellung der Testerkonfiguration nur für einen Pin allein, jedoch ist in der Praxis die dargestellte Konfiguration für jeden Pin des Speichers DUT vorgesehen; d. h., für jeden Pin wird das Testmuster in den Speicher DUT eingegeben, und das Antwortsignal wird aus ihm ausgelesen.

[0007] Unter den Halbleiterspeichern gibt es einen Speicher (nachstehend auch als Speicher bezeichnet) derjenigen Art, der das Schreiben und Lesen von Daten in ihn und aus ihm synchron mit einem Taktsignal ausführt.

[0008] Fig. 2 zeigt, wie diese Art von Speicher ausgelesen wird. Fig. 2A zeigt Datenelemente DA, DB, DC, ... , die aus (einem Pin eines) Speichers ausgegeben werden, wobei jeweilige Testzyklen TD1 TD2, TD3, ... durch gestrichelte Linien voneinander getrennt sind. Fig. 2B zeigt ein Taktsignal DQS, das aus dem Speicher ausgegeben wird. Wie gezeigt, werden die Datenelemente DA, DB, DC, ... aus dem Speicher in Synchronisation mit dem Taktsignal DQS ausgegeben. Wenn sich der Halbleiter-IC tatsächlich in Verwendung befindet, wird das Taktsignal als Synchronisations-

onssignal (Daten-Strobe) verwendet, um die Datenelemente DA, DB, DC, ... an andere Schaltungen weiterzuleiten.

[0009] Das Testen des Halbleiterbauelements dieser Art umfaßt das Messen von Zeitdifferenzen oder Intervallen (Phasendifferenzen) dl1, dl2, dl3, ... zwischen der Anstiegs- und der Abfallzeitlage des Taktsignals (nachstehend als Referenztaktsignal bezeichnet) DQS und den Punkten der Änderung der Daten. Je kleiner die Zeitdifferenzen sind, desto schneller ist die Antwort und demzufolge desto höher das Maß der Leistungsfähigkeit. In anderen Worten hängt die Klasse des im Test befindlichen Speichers von den vorgenannten Zeitdifferenzen ab.

[0010] Während das Halbleiterbauelement (Speicher) sich in tatsächlicher Verwendung befindet, wird ein Taktsignal von einer Taktquelle an eine Schaltung in dem Halbleiterbauelement angelegt, aus dem Daten in Synchronisation mit dem Taktsignal ausgegeben werden. Dementsprechend wird auch beim Testen des Halbleiterbauelements durch den Tester ein Taktsignal vom Tester an das im Test befindliche Halbleiterbauelement geliefert und durch seine interne Schaltung geleitet, wonach es, zusammen mit Daten, als das Referenztaktsignal DQS zum Liefern der Ausgabedaten an den Tester aus ihm ausgegeben wird. Der Tester mißt die Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS und die Zeitintervalle dl1, dl2, dl3, ... zwischen der gemessenen Zeitlage des Anstiegs und des Abfalls des Referenztaktsignals DQS und den Punkten der Änderung der Datenelemente DA, DB, DC, ...

[0011] Da das Referenztaktsignal DQS aus dem im Test befindlichen Halbleiterbauelement ausgegeben wird, nachdem es dessen Inneres durchlaufen hat, wie oben ausgeführt, wird die Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS stark von internen Schaltungsoperationen des im Test befindlichen Halbleiterbauelements und Umweltbedingungen wie beispielsweise die Umgebungstemperatur beeinflusst. Beispielsweise sind, wie in Fig. 3 dargestellt, in der Referenztaktimpulse DQSA, DQSB und DQSC gezeigt sind, die aus einzelnen im Test befindlichen Halbleiterbauelementen A, B und C ausgegeben werden, die Referenztaktimpulse DQSA, DQSB und DQSC phasenversetzt. Diese Phasendifferenz wird nicht nur durch eine Variation von Bauelement zu Bauelement verursacht, sondern auch durch den Unterschied in der Speicheradresse, auf die in dem jeweiligen Bauelement zugegriffen wird, und durch den Jitter J der Anstiegs- und Abfallzeitlage jedes Referenztaktsignals, der durch einen Anstieg der Temperatur des Bauelements aufgrund einer verlängerten Betriebsperiode verursacht wird, wie durch die gestrichelten Linien dargestellt ist.

[0012] Wenn der Meßpunkt auf eine Zeitlage mit zu großem Sicherheitsbereich gegen derartige Variationen oder Fluktuationen in der Leistungsfähigkeit der im Test befindlichen Bauelemente eingestellt wird, besteht die Befürchtung, daß ein Bauelement mit normalem Betrieb als defekt festgestellt wird; die Wahrscheinlichkeit einer derartigen falschen Feststellung wird insbesondere mit Zunahme der Betriebsfrequenz des Bauelements größer.

[0013] Demzufolge ist es erforderlich, die Zeitintervalle dl1, dl2, dl3, ... zwischen der Anstiegs- und der Abfallzeitlage des Referenztaktsignals DQS und den Punkten der Änderung der Datenelemente DA, DB, DC, ... exakt zu messen. Dies erfordert eine exakte Messung der Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS.

[0014] Zu diesem Zweck ist es im Stand der Technik bekannt, die Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS zu messen, wobei die Zeitlage für das Anlegen des Strobe-Impulses an die Signalausleseschaltung des Testers nach und nach verschoben wird, wobei die Meßergeb-

nisse dazu verwendet werden, die Zeitintervalle $dl1$, $dl2$, $dl3$, ... zu messen.

[0015] Fig. 4 ist ein Blockschaltbild, das eine herkömmliche Anordnung zum Messen der Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS zeigt. Ein Pegelkomparator 10 umfaßt ein Paar Spannungskomparatoren CP1 und CP2, durch die ermittelt wird, ob der Logikwert des aus dem Halbleiterbauelement DUT ausgegebenen Referenztaktsignals DQS die Normalspannungsbedingungen erfüllt. Der Spannungskomparator CP1 ermittelt, ob der Spannungswert des Logikwerts "H" des Referenztaktsignals DQS oberhalb eines Normalspannungswerts V_{OH} liegt. Der Spannungskomparator CP2 ermittelt, ob der Spannungswert des Logikwerts "L" des Referenztaktsignals DQS unterhalb eines Normalspannungswerts V_{OL} liegt.

[0016] Diese Ermittlungsergebnisse werden an die Signalausleseschaltung 11 geliefert, welche die Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS mißt. Bei jedem Anlegen des Strobe-Impulses STB an sie liest die Signalausleseschaltung 11 den zu dieser Zeit eingegebenen Logikwert aus.

[0017] Fig. 5A zeigt das Referenztaktsignal DQS, das für jeden Testzyklus TD geliefert wird. Fig. 5B zeigt Strobe-Impulse STB, die über eine Folge von Testzyklen TD an die Signalausleseschaltung 11 angelegt werden. Die Strobe-Impulse STB sind bezüglich des Referenztaktsignals DQS um τT phasenversetzt, wie in Fig. 5B gezeigt. D. h., für jeden Testzyklus wird der Strobe-Impuls STB an die Signalausleseschaltung 11 angelegt, um die Ausgangssignale von den Spannungskomparatoren CP1 und CP2 auszulesen (abzutasten). Die ausgangsszeitliche Anordnung des Spannungskomparators CP2 ist, obwohl in Fig. 4 nicht gezeigt, identisch mit der dargestellten Anordnung des Spannungskomparators CP1.

[0018] Der Logikkomparator 12 vergleicht den von der Signalausleseschaltung 11 ausgegebenen Logikwert mit einem vorbestimmten Erwartungswert (im Beispiel von Fig. 4 der Logikwert "H") und gibt, bei Übereinstimmung, ein Gut-Signal PA (Fig. 5C) aus, das angibt, daß das im Test befindliche Bauelement oder die Speicherzelle nicht defekt ist. Auf der Basis der Erzeugungszeitlage des Strobe-Impulses STB1 (Fig. 5B) (wobei die Erzeugungszeitlage des Strobe-Impulses STB bekannt ist), auf den die Signalausleseschaltung 11 damit antwortete, die Umkehrung des Ausgangssignals aus dem Pegelkomparator 10 auf den Logikwert "H" auszulesen, wird die Zeit $T1$ vom Beginn des Testzyklus bis zur Erzeugung des Strobe-Impulses STB1 erfaßt, und die Anstiegszeitlage des Referenztaktsignals DQS wird dementsprechend ermittelt.

[0019] Die Abfallzeitlage des Referenztaktsignals DQS wird erfaßt, indem die Wiedergewinnung begonnen wird, nachdem das Referenztaktsignal DQS auf den Logikwert "H" anstieg, und dann, wie im Fall der Erfassung der Anstiegszeitlage, die Abfallzeitlage auf der Basis der Erzeugungszeitlage des Strobe-Impulses STB ermittelt wird, auf den die Signalausleseschaltung 11 damit antwortete, die Umkehrung des Ausgangssignals aus dem Spannungskomparator CP2 auf den Logikwert "H" auszulesen.

[0020] Wie oben beschrieben, ist es bekannt, die Erzeugungszeitlage des Referenztaktsignals DQS durch Verwendung der in den Halbleiterbauelementtester eingebauten Signalausleseschaltung 11 und der Zeitlagemeßanordnung zu messen, die den Strobe-Impuls STB verwendet, der an die Signalausleseschaltung 11 angelegt wird. Dementsprechend muß der Testzyklus TD wiederholt werden, um nur die Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS zu messen, was dazu führt, daß viel Zeit zur Messung der Zeitintervalle $dl1$, $dl2$, $dl3$, ... verbraucht wird.

[0021] Außerdem muß die Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS für alle Adressen des im Test befindlichen Speichers gemessen werden, und um den Einfluß des vorgenannten Jitters durch eine Erhöhung der Bauelementtemperatur auszuschließen, muß die Messung der Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS für alle auftretenden Testmuster ausgeführt werden und ist daher besonders zeitintensiv.

[0022] Es ist möglich, daß die Zeit zum Messen der Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS durch Verbreitern der Phasendifferenz τT zwischen jeweiligen Strobe-Impulsen STB verkürzt wird, um dadurch die Anzahl an Wiederholungen des Testzyklus zu vermindern, aber eine derartige Vergrößerung der Phasendifferenz τT reduziert die Genauigkeit der Messung der Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS, was zu einer Verschlechterung der Zuverlässigkeit der Meßwerte der Zeitintervalle $dl1$, $dl2$, $dl3$, ... zwischen dem Referenztaktsignal DQS und den Punkten der Änderung der Datenelemente DA, DB, DC, ... führt.

Zusammenfassung der Erfindung

[0023] Es ist daher eine Aufgabe der vorliegenden Erfindung, ein Verfahren und eine Vorrichtung zum Testen von Halbleiterbauelementen zu schaffen, die eine schnelle, genaue Messung der Anstiegs- und Abfallübergangspunkte oder -zeitlage des Referenztaktsignals ermöglichen.

[0024] Eine andere Aufgabe der vorliegenden Erfindung besteht darin, ein Verfahren und eine Vorrichtung zum Testen von Halbleiterbauelementen zu schaffen, die nur die einmalige Erzeugung aller Testmuster erfordern und daher in der Lage sind, einen Gut/Schlecht-Test von Halbleiterbauelementen in kurzer Zeit und mit hoher Genauigkeit auszuführen.

[0025] Das erfindungsgemäße Testverfahren für ein Halbleiterbauelement besteht darin, ein im Test befindliches Bauelement nach Maßgabe der Phasendifferenzen (Zeitunterschiede) zwischen den Punkten der Änderung jeweiliger Datenelemente, die aus dem im Test befindlichen Bauelement ausgegeben werden, und den Punkten der Änderung (Anstiegs- oder Abfallübergangspunkte) eines Referenztaktsignals, das in Synchronisation mit den Ausgabedaten aus dem im Test befindlichen Bauelement ausgegeben wird, zu evaluieren. Mehrphasenimpulse werden erzeugt, die bezüglich einer vorbestimmten Phasenposition jedes Testzyklus nacheinander geringfügig phasenversetzt sind, und die Mehrphasenimpulse werden als Strobe-Impulse verwendet, um das Referenztaktsignal abzutasten, und die Phasen der Punkte der Änderung des Referenztaktsignals werden aus den abgetasteten Ausgangssignalen ermittelt.

[0026] Gemäß einem Aspekt des Verfahrens dieser Erfindung werden die Phasen der Punkte der Änderung des erfaßten Referenztaktsignals in die entsprechenden Phasennummern der Mehrphasenimpulse umgesetzt und in einem Speicher gespeichert, aus dem sie ausgelesen werden, um die Evaluierung des im Test befindlichen Bauelements auf der Basis der vorgenannten Phasendifferenzen auszuführen.

[0027] Die Phasenerfassung der Punkte der Änderung der Referenztaktsignale und die Umsetzung der erfaßten Phasen in die entsprechenden Phasennummern werden für alle Adressen des im Test befindlichen Bauelements ausgeführt, und die umgesetzten Phasennummern werden in dem Speicher an Adressen gespeichert, die jenen des im Test befindlichen Bauelements entsprechen. Die vorgenannten Phasendifferenzen werden durch Auslesen der Phasennummern aus dem Speicher an den Adressen entsprechend den Adressensignalen gewonnen, die an das im Test befindliche Bauelement

ment angelegt werden.

[0028] Alternativ werden die Erfassung der Phasen der Punkte der Änderung der Referenztaktsignale und die Umsetzung der erfaßten Phasen in die Phasennummern in der Reihenfolge der Erzeugung von Testmustern ausgeführt, die zur Zeit von dessen Evaluierung an das im Test befindliche Bauelement angelegt werden. Die umgesetzten Phasennummern werden in dem Speicher an Adressen gespeichert, welche die Reihenfolge der Erzeugung der Testmuster angeben, und die vorgenannten Phasendifferenzen werden durch Auslesen der Phasennummern aus dem Speicher an den Adressen gewonnen, welche die Reihenfolge der Erzeugung der Testmuster angeben.

[0029] Mit der Zeitlage, die entsprechend den aus dem Speicher ausgelesenen Phasennummern voreingestellt wird, wird ein Strobe-Impuls erzeugt, und mit der Zeitlage dieses Strobe-Impulses wird der Logikwert der Ausgabedaten aus dem im Test befindlichen Bauelement ausgelesen, um die vorgenannten Phasendifferenzen für die Evaluierung des im Test befindlichen Bauelements zu gewinnen.

[0030] Gemäß einem anderen Aspekt des Verfahrens dieser Erfindung werden die Ausgabedaten aus dem im Test befindlichen Bauelement durch Strobe-Impulse abgetastet, die durch die Mehrphasenimpulse gebildet sind, dann werden die Punkte der Änderung der Ausgabedaten, d. h. die Phasen der Anstiegs- oder Abfallübergangspunkte der Daten, unter Verwendung der durch die Mehrphasen-Strobe-Impulse abgetasteten Ausgangssignale erfaßt, und die Positionen dieser erfaßten Punkte der Änderung der Ausgabedaten werden in die jeweiligen Phasennummern der Mehrphasenimpulse umgesetzt. Die Phasennummern der Punkte der Änderung der Bauelementausgabedaten und die Phasennummern der Punkte der Änderung des Referenztaktsignals werden dazu verwendet, eine Überprüfung auszuführen, um zu ermitteln, ob die Phasendifferenzen zwischen diesen Punkten der Änderung der Bauelementausgabedaten und des Referenztaktsignals in einen vorbestimmten Bereich fallen, wodurch das im Test befindliche Bauelement auf einer Gut/Schlecht-Basis evaluiert wird.

[0031] Die erfindungsgemäße Vorrichtung zum Testen eines Halbleiterbauelements ist eine Vorrichtung, die ein im Test befindliches Bauelement nach Maßgabe der Phasendifferenzen (Zeitunterschiede) zwischen den Punkten der Änderung jeweiliger Datenelemente, die aus dem im Test befindlichen Bauelement ausgegeben werden, und den Punkten der Änderung (Anstiegs- oder Abfallübergangspunkte) eines Referenztaktsignals, das in Synchronisation mit den Ausgabedaten aus dem im Test befindlichen Bauelement ausgegeben wird, evaluiert. Strobe-Impulse, die durch Mehrphasenimpulse gebildet sind, die nacheinander geringfügig phasenversetzt sind, werden von einer Mehrphasenimpulserzeugungsanordnung erzeugt. Das aus dem im Test befindlichen Bauelement ausgegebene Referenztaktsignal wird durch die jeweiligen Strobe-Impulse in einer Mehrzahl von Referenzsignalausleseschaltungen abgetastet, deren Ausgangssignale an eine Referenzphasennummerausgabe-anordnung geliefert werden, aus der die Phasennummern von Strobe-Impulsen, die den Punkten der Änderung des Referenztaktsignals unmittelbar folgen, als ihre Phasen ausgegeben werden.

[0032] Gemäß einem Aspekt der Vorrichtung dieser Erfindung werden die aus der Referenzphasennummerausgabe-anordnung ausgegebenen Phasennummern in einem Speicher an Adressen entsprechend Adressensignalen gespeichert, die an das im Test befindliche Bauelement angelegt werden. Die Phasennummern, die aus dem Speicher an Adressen entsprechend Adressensignalen, die an das im Test befindliche Bauelement angelegt werden, ausgelesen wer-

den, werden jeweils dazu verwendet, durch einen Zeitlageselektor eine vorbestimmte Strobe-Impulserzeugungszeitlage auszuwählen, und mit der ausgewählten Zeitlage wird ein Strobe-Impuls von einem Strobe-Generator erzeugt. Der Strobe-Impuls wird an eine Datenausleseschaltung angelegt, um den Logikwert der Bauelementausgabedaten auszulesen.

[0033] Alternativ werden die aus der Referenzphasennummerausgabe-anordnung ausgegebenen Phasennummern in einem Speicher an Adressen gespeichert, die die Reihenfolge der Erzeugung von Testmustern repräsentieren, die an das im Test befindliche Bauelement angelegt werden. Die aus dem Speicher an solchen Adressen ausgelesenen Phasennummern werden jeweils dazu verwendet, durch den Zeitlageselektor eine vorbestimmte Strobe-Impulserzeugungszeitlage auszuwählen, und mit der ausgewählten Zeitlage wird ein Strobe-Impuls von dem Strobe-Generator erzeugt. Der Strobe-Impuls wird an die Datenausleseschaltung angelegt, um den Logikwert der Bauelementausgabedaten auszulesen.

[0034] Gemäß einem anderen Aspekt der Vorrichtung dieser Erfindung sind mehrere Datensignalausleseschaltungsgruppen, von denen jede aus mehreren Datenausleseschaltungen besteht, für die einzelnen Ausgabedatenelemente aus dem im Test befindlichen Bauelement vorgesehen, und in den mehreren Datenausleseschaltungen jeder Gruppe werden die Bauelementausgabedaten durch die entsprechenden Mehrphasen-Strobe-Impulse abgetastet. Die Ausgangssignale aus den mehreren Datenausleseschaltungen für jede Gruppe werden an Datenphasennummerausgabe-anordnungen geliefert, aus denen die Phasennummern der Strobe-Impulse unmittelbar nach den Punkten der Änderung der Ausgabedaten ausgegeben werden. Die aus den jeweiligen Datenphasennummerausgabe-anordnungen ausgegebenen jeweiligen Phasennummern und die Phasennummern aus der Referenzphasennummerausgabe-anordnung werden an einen Gut/Schlecht-Ergebnisausgabeteil geliefert, aus dem ein Ermittlungsergebnis ausgegeben wird, ob die Phasendifferenzen zwischen den Punkten der Änderung der Ausgabedaten und dem Referenztaktsignal in einen vorbestimmten Bereich fallen.

[0035] In dem Gut/Schlecht-Ergebnisausgabeteil wird die Differenz zwischen der Phasennummer von der Referenzphasennummerausgabe-anordnung und der Phasennummer von den einzelnen Datenphasennummerausgabe-anordnungen in einem Phasenvergleichsteil als Phasendifferenz erfaßt, und in einem Gut/Schlecht-Ermittlungsteil wird eine Überprüfung ausgeführt, um zu ermitteln, ob diese Phasendifferenzen in den vorbestimmten Bereich fallen.

[0036] In dem Gut/Schlecht-Ergebnisausgabeteil werden beispielsweise die Phasennummer von der Referenzphasennummerausgabe-anordnung an einer Adresse von mehreren Referenztabelle und die einzelnen Phasennummern aus den einzelnen Datenphasennummerausgabe-anordnungen an der anderen Adresse der entsprechenden Referenztabelle eingegeben. Aus den jeweiligen Referenztabelle werden Gut/Schlecht-Ergebnisse ausgegeben, die angeben, ob die Phasendifferenzen zwischen den Punkten der Änderung des Referenztaktsignals und den jeweiligen Ausgabedatenelementen in den vorbestimmten Bereich fallen.

Kurze Beschreibung der Zeichnungen

[0037] Fig. 1 ist ein Blockschaltbild zur Erläuterung des allgemeinen Aufbaus eines herkömmlichen Halbleiterbauelementtesters;

[0038] Fig. 2 ist ein Zeitlagediagramm zur Erläuterung des Betriebs eines im Test befindlichen Halbleiterbauelements, das ein Referenztaktsignal in Synchronisation mit

aus ihm ausgelesenen Daten erzeugt;

[0039] Fig. 3 ist ein Zeitlagediagramm zur Erläuterung, wie Jitter im Referenztaktsignal hervorgerufen wird, das aus dem Halbleiterbauelement ausgegeben wird;

[0040] Fig. 4 ist ein Blockschaltbild zur Erläuterung eines Pegelkomparators und einer in den Halbleiterbauelementtester eingebauten Signalausleseschaltung zum Treffen einer Gut/Schlecht-Entscheidung über ein aus dem im Test befindlichen Bauelement ausgelesenes Signal;

[0041] Fig. 5 ist ein Zeitlagediagramm zur Erläuterung, wie die Erzeugungszeitlage des ausgelesenen Signals in dem in Fig. 1 dargestellten herkömmlichen Halbleiterbauelementtester zu messen ist;

[0042] Fig. 6 ist ein Blockschaltbild, das den Hauptteil eines Testers gemäß einer Ausführungsform der vorliegenden Erfindung darstellt;

[0043] Fig. 7 ist ein Zeitlagediagramm zur Erläuterung der Erfassung eines Anstiegsübergangspunkts des Referenztaktsignals in dem Tester von Fig. 6;

[0044] Fig. 8 ist ein Zeitlagediagramm zur Erläuterung der Erfassung eines Abfallübergangspunkts des Referenztaktsignals im Tester von Fig. 6;

[0045] Fig. 9 ist ein Blockschaltbild, das in Blockform konkrete Beispiele eines Pegelkomparators 10, einer Signalausleseschaltung 11 und einer Vergleichs/Ermittlungsanordnung PF4 darstellt, die in den Tester von Fig. 6 eingebaut sind;

[0046] Fig. 10 ist ein Diagramm zur Erläuterung des Betriebs der Phasennummerumsetzanordnung 31 in Fig. 6;

[0047] Fig. 11 ist ein Blockschaltbild, das ein konkretes Beispiel eines Zeitlageselektors 33 in Fig. 6 darstellt;

[0048] Fig. 12 ist ein Blockschaltbild, das eine modifizierte Form eines Mehrphasenimpulsgenerators 30 in Fig. 6 zeigt;

[0049] Fig. 13 ist ein Blockschaltbild, das den Hauptteil einer anderen Ausführungsform der vorliegenden Erfindung darstellt;

[0050] Fig. 14 ist ein Diagramm zur Erläuterung des Betriebs einer Phasennummerumsetzanordnung 31D in Fig. 13;

[0051] Fig. 15 ist ein Blockschaltbild, das ein konkretes Beispiel der einzelnen Phasenvergleichsteile 60 in Fig. 13 darstellt;

[0052] Fig. 16 ist ein Zeitlagediagramm zur Erläuterung des Betriebs des in Fig. 15 gezeigten Phasenvergleichsteils 60;

[0053] Fig. 17 ist ein anderes Zeitlagediagramm zur Erläuterung des Betriebs des Phasendifferenzfassungsteils 60 in Fig. 15;

[0054] Fig. 18 ist ein Blockschaltbild, das ein konkretes Beispiel der Gut/Schlecht-Ermittlungsanordnung 70 in Fig. 13 darstellt;

[0055] Fig. 19 ist ein Blockschaltbild, das den Hauptteil einer weiteren Ausführungsform der vorliegenden Erfindung darstellt;

[0056] Fig. 20A ist ein Beispiel einer Tabelle, welche Differenzen zwischen der Datenphasennummer und der Referenzphasennummer zeigt;

[0057] Fig. 20B ist ein Diagramm, das als Beispiel gespeicherte Inhalte einer Referenztable 80 in Fig. 19 zeigt;

[0058] Fig. 21 ist ein Blockschaltbild, das eine modifizierte Form der Ausführungsform von Fig. 6 darstellt; und

[0059] Fig. 22 ist ein Diagramm, das eine modifizierte Form der Phasennummerausgabeordnung 10 in Fig. 6 darstellt.

Ausführliche Beschreibung der bevorzugten Ausführungsformen

[0060] Fig. 6 stellt in Blockform den Hauptteil des Halbleiterbauelementtesters dar, der das erfindungsgemäße Testverfahren realisiert. Der Halbleiterbauelementtester umfaßt: einen Pegelkomparator 10 zum Ermitteln des aus dem Halbleiterbauelement DUT ausgegebenen Logikwerts des Referenztaktsignals DQS; einen Mehrphasengenerator 30; eine Mehrzahl von Signalausleseschaltungen TC1, TC2, TC3, ...; eine Mehrzahl von Vergleichs/Ermittlungsanordnungen PF1, PF2, PF3, ...; eine Phasennummerumsetzanordnung 31, mit der die Punkte der Änderung der Ermittlungsergebnisse von der Vergleichs/Ermittlungsanordnung PF1, PF2, PF3, ... in die Phasennummern von Mehrphasenimpulsen umgesetzt werden; einen Speicher 32 zum Speichern der Phasennummern; einen Zeitlageselektor 33, der auf der Basis der aus dem Speicher 32 ausgelesenen Phasennummer die Erzeugungszeitlage des Strobe-Impulses STB selektiv ausgibt; und einen Strobe-Impulsgenerator 34 zum Erzeugen des Strobe-Impulses STB mit der vom Zeitlageselektor 33 ausgewählten Zeitlage.

[0061] Der Mehrphasenimpulsgenerator 30 in dieser Ausführungsform ist gemäß Darstellung aus einer Mehrzahl von Verzögerungselementen DY1, DY2, DY3, ... gebildet, deren Verzögerungszeiten auf geringfügig unterschiedliche Werte eingestellt sind. Indem eine Zeitdifferenz von beispielsweise 100 Pikosekunden (nachstehend als ps bezeichnet) zwischen den Verzögerungszeiten der Verzögerungselemente DY1, DY2, DY3, ... vorgesehen wird, ist es möglich, in Zeitabständen von 100 ps Impulse zu erzeugen (wobei diese Impulse nachstehend als Mehrphasenimpulse bezeichnet werden).

[0062] Fig. 7A stellt ein Beispiel des Referenztaktsignals DQS in einem Testzyklus TD dar. Wie in Fig. 7B gezeigt, sind die Mehrphasenimpulse P1, P2, P3, ... beispielsweise um 100 ps in der Phase bezüglich einer vorbestimmten Phasenposition (normalerweise die Anfangsphaseposition) des Testzyklus TD versetzt. Die Mehrphasenimpulse P1, P2, P3, ... werden an Strobe-Impulseingabeanschlüsse der jeweiligen der Signalausleseschaltungen TC1, TC2, TC3, ... angelegt.

[0063] An die Signaleingangsanschlüsse der Signalausleseschaltungen TC1, TC2, TC3, ... werden Ergebnisse des Pegelvergleichs aus dem Pegelkomparator 10 geliefert. Die in Fig. 6 gezeigte Anordnung soll die Anstiegszeitlage des Referenztaktsignals DQS messen. Die Eingangssignale an die Signalausleseschaltungen TC1, TC2, TC3, ... werden durch die Mehrphasenimpulse P1, P2, P3, ... abgetastet. Dementsprechend werden die Signalausleseschaltungen TC1, TC2, TC3, ... an ihren Signaleingangsanschlüssen mit dem Ausgangssignal aus dem Spannungskomparator CP1 beliefert, der den Pegel des Referenztaktsignals DQS mit dem Logikwert "H" vergleicht.

[0064] In Fig. 6 ist aus Gründen der Knappheit die Anordnung zum Messen der Abfallzeitlage des Referenztaktsignals DQS nicht gezeigt, jedoch ist diese Anordnung identisch mit derjenigen zum Messen der Anstiegszeitlage des Referenztaktsignals DQS mit der Ausnahme, daß das Ausgangssignal aus dem Spannungskomparator CP2, der den Pegel des Referenztaktsignals DQS mit dem Logikwert "L" vergleicht, an die Signalausleseschaltungen geliefert wird.

[0065] Die Fig. 7 und 8 zeigen, wie die Anstiegszeitlage bzw. die Abfallzeitlage des Referenztaktsignals DQS gemessen werden sollen. Die Fig. 7 und 8 stellen jeweils ein Beispiel der Wellenform des Referenztaktsignals DQS dar, das aus einem Referenztaktsignalausgangs-Pin des Halbleiterbauelements DUT ausgegeben wird. Der Spannungskom-

parator CP1 des Pegelkomparators 10 wird mit der Vergleichsspannung VOH beliefert. Wenn der Pegel des Referenztaktsignals DQS höher als die Vergleichsspannung VOH ist, liefert der Spannungskomparator CP1 den Logikwert "H".

[0066] Demzufolge tastet, wenn der aus einem der Mehrphasenimpulse gebildete Strobe-Impuls nach dem Ausgeben des Logikwerts "H" aus dem Spannungskomparator CP1 an die Signalausleseschaltung angelegt wird, die Signalausleseschaltung den Logikwert "H" durch den Strobe-Impuls ab und gibt den abgetasteten Logikwert "H" aus. Die Ausgangssignale aus den Signalausleseschaltungen TC1, TC2, TC3, ... gehen beispielsweise auf 0, 0, ..., 0, 1, 1, ... Die Zeitlage, mit der die Folge von Nullen in die Folge von Einsen übergeht, ist die Zeitlage desjenigen Ausgangssignals, das von dem Strobe-Impuls abgetastet wurde, der dem Anstieg des Referenztaktsignals DQS unmittelbar folgt. Die Ausgangssignale aus den Signalausleseschaltungen TC1, TC2, TC3, ... geben jeweils die Anstiegsphase des Referenztaktsignals DQS an. Die Vergleichs/Ermittlungsanordnungen PF1, PF2, PF3, ... vergleichen einen Erwartungswert (in diesem Beispiel den Logikwert "H") und die Ausgangssignale aus den Signalausleseschaltungen TC1, TC2, TC3, ... und wenn sie übereinstimmen, geben die Vergleichs/Ermittlungsanordnungen PF1, PF2, PF3, ... jeweils den Logikwert "H" aus, der die Übereinstimmung anzeigt.

[0067] Die Vergleichs/Ermittlungsanordnungen PF1, PF2, PF3, ... führen des weiteren jeweils einen Vergleich zwischen dem Ergebnis ihres Vergleichs mit dem Erwartungswert und demjenigen der unmittelbar vorhergehenden Stufe der Vergleichs/Ermittlungsanordnungen aus, an die derjenige der Mehrphasenimpulse geliefert wird, der eine niedrigere Phasennummer aufweist. Wenn eine Nichtübereinstimmung zwischen dem Ermittlungsergebnis durch die Vergleichs/Ermittlungsanordnung der unmittelbar vorhergehenden Stufe und dem Ermittlungsergebnis durch ihren Vergleich mit dem Erwartungswert gefunden wird, entscheidet die einzelnen Vergleichs/Ermittlungsanordnungen, daß das Ergebnis ihres Vergleichs gültig ist, und geben ein die Gültigkeit angegebendes Ermittlungsergebnis P aus. In den Beispielen der Fig. 7 und 8 ist der Fall gezeigt, in dem die Vergleichs/Ermittlungsanordnung PF4 den Logikwert "H" als Ermittlungsergebnis P ausgibt. Wenn eine Übereinstimmung zwischen dem Ermittlungsergebnis des Vergleichs durch die Vergleichs/Ermittlungsanordnung der unmittelbar vorhergehenden Stufe und dem Ermittlungsergebnis ihres Vergleichs mit dem Erwartungswert gefunden wird, geben die einzelnen Vergleichs/Ermittlungsanordnungen in diesem Beispiel den Logikwert "L" als Ermittlungsergebnis F aus, der angibt, daß das Ergebnis ihres Vergleichs ungültig ist.

[0068] Fig. 9 stellt in Blockform ein konkretes Beispiel der Vergleichs/Ermittlungsanordnung PF4 dar, die gemäß Darstellung so ausgebildet ist, daß sie auch als Schaltung zum Messen der Abfallzeitlage des Referenztaktsignals DOS geeignet ist. Demzufolge ist eine Signalausleseschaltung TC4' mit dem Ausgang des Spannungskomparators CP2 verbunden, und die in den Fig. 7 und 8 gezeigten Mehrphasenimpulse P4 und P4' werden als Strobe-Impulse an Strobe-Impulseingangsanschlüsse der Signalausleseschaltungen TC4 bzw. TC4' geliefert.

[0069] Die Vergleichs/Ermittlungsanordnung PF4 umfaßt: Gatter G1 und G2 zum Vergleichen des Erwartungswerts EXP mit den Ausgangssignalen aus den Signalausleseschaltungen TC4 bzw. TC4'; ein ODER-Gatter G3 zum Ausführen einer ODER-Verknüpfung der Ausgangssignale aus den Gattern G1 und G2; und ein Nichtübereinstimmungsermitt-

lungsgatter G4 zum Ermitteln einer Nichtübereinstimmung zwischen dem Ausgangssignal aus dem ODER-Gatter G3 und dem Ermittlungsergebnis der Vergleichs/Ermittlungsanordnung PF3 der unmittelbar vorhergehenden Stufe.

[0070] Die Anstiegszeitlage des Referenztaktsignals DOS kann durch eine Strecke ermittelt werden, die sich aus dem Spannungskomparator CP1, der Signalausleseschaltung TC4, dem Gatter G1, dem ODER-Gatter G3 und dem Nichtübereinstimmungsermittlungsgatter G4 zusammensetzt. Der Logikwert "H" wird als Erwartungswert EXP zum Messen der Anstiegszeitlage des Referenztaktsignals DOS geliefert, während der Logikwert "L" zum Messen der Abfallzeitlage des Referenztaktsignals DQS geliefert wird. Wenn der Erwartungswert EXP mit dem Logikwert "H" in ihm eingestellt ist, ist das Gatter G1 freigegeben und überwacht, ob das Ausgangssignal aus der Signalausleseschaltung TC4 zum Logikwert "H" zurückkehrt. D. h., der Erwartungswert EXP wird verwendet, um zu ermitteln, welches der Gatter G1 und G2 freizugeben ist, wodurch der Ausgang aus der Signalausleseschaltung TC4 zum Ermitteln der Anstiegszeitlage oder von der Signalausleseschaltung TC4' zum Ermitteln der Abfallzeitlage ausgewählt wird.

[0071] Bei Rückkehr des Ausgangssignals aus der Signalausleseschaltung TC4 zum Logikwert "H" kehrt das Ausgangssignal aus dem Gatter G1 ebenfalls zum Logikwert "H" zurück, der über das ODER-Gatter G3 an das Nichtübereinstimmungsermittlungsgatter G4 geliefert wird. Das Nichtübereinstimmungsermittlungsgatter G4 ist beispielsweise durch eine Exklusiv-ODER-Schaltung gebildet, an deren einen Eingangsanschluß das Ermittlungsergebnis P/F der Vergleichs/Ermittlungsanordnung PF4 der unmittelbar vorhergehenden Stufe geliefert wird.

[0072] Nur wenn das Ermittlungsergebnis P/F der Vergleichs/Ermittlungsanordnung PF3 der vorhergehenden Stufe nicht der Logikwert "H" ist und das Ausgangssignal aus der Signalausleseschaltung TC4 das Logiksignal "H" ist, gibt das Nichtübereinstimmungsermittlungsgatter G4 den Logikwert "H" aus. Der ausgegebene Logikwert "H" wird in die Umsetzanordnung 31 in Fig. 6 eingegeben, während er gleichzeitig auch an die Vergleichs/Ermittlungsanordnung PF5 der nächsten Stufe geliefert wird. In der Vergleichs/Ermittlungsanordnung PF5 der nächsten Stufe gibt die an sie angeschlossene Signalausleseschaltung TC5 den Logikwert "H" aus, aber da an die Vergleichs/Ermittlungsanordnung PF5 der Logikwert "H" von der Vergleichs/Ermittlungsanordnung PF4 der vorhergehenden Stufe geliefert wird, gibt das Nichtübereinstimmungsermittlungsgatter G4 kein Nichtübereinstimmungsermittlungsergebnis aus, sondern liefert den Logikwert "L", der die Ungültigkeit des Ermittlungsergebnisses anzeigt.

[0073] Bei einer derartigen Anordnung gibt nur diejenige der Vergleichs/Ermittlungsanordnungen den Logikwert "H" (gültig P) aus, an die einer der Mehrphasenimpulse zum ersten Mal geliefert wurde, nachdem der Pegel des Referenztaktsignals die Vergleichsspannung VOH überschritten hat, die für den Pegelvergleich eingestellt wurde. Übrigens wird an das Nichtübereinstimmungsermittlungsgatter G4 der Vergleichs/Ermittlungsanordnung PF1 der ersten Stufe der Logikwert "L" als Ermittlungsergebnis der vorhergehenden Stufe geliefert. Demzufolge gibt, wenn die an es angeschlossene Signalausleseschaltung TC1 den Logikwert "H" ausgibt, die Vergleichs/Ermittlungsanordnung PF1 ein Nichtübereinstimmungsermittlungssignal mit dem Logikwert "H" aus, welches angibt, daß das Referenztaktsignal DQS bei Beginn des Testzyklus TD angestiegen ist.

[0074] Die Phasennummerumsetzanordnung 31 in Fig. 6 liest die Ausgangssignale aus den Vergleichs/Ermittlungsanordnungen PF1, PF2, PF3, ... ein und setzt die Nummer

entsprechend der Phasennummer der Vergleichs/Ermittlungsanordnung, welche das "gültig P"-Ausgangssignal lieferte, in Daten mit der kleinstmöglichen Anzahl an Bits um. D. h., bei dieser Ausführungsform gibt die Phasennummerumsetzanordnung 31 Daten aus, welche die Phasennummern der Mehrphasenimpulse angeben, die dazu geführt haben, daß die Ausgangssignale aus den Signalausleseschaltungen die Gut/Schlecht-Ergebnisse der Vergleichs/Ermittlungsanordnungen PF1, PF2, PF3, . . . zu "gültig P" machen.

[0075] Fig. 10 zeigt einen Umsetzungsalgorithmus der Umsetzanordnung 31. Es ist wünschenswert, daß die Anzahl an Signalausleseschaltungen TC und Vergleichs/Ermittlungsanordnungen PF so groß ist, daß ein Strobe-Impulsintervall erzielt wird, das eine solche Meßgenauigkeit liefert, daß die Spezifikationen des in Prüfung befindlichen Bauelements ausreichend erfüllt werden. Dieses Beispiel ist mit acht Vergleichs/Ermittlungsanordnungen PF1 bis PF8 dargestellt. In dem in Fig. 10 in gestrichelten Linien dargestellten Rahmen sind die Ausgangszustände (wobei das "gültig P"-Ausgangssignal durch 1 und das "ungültig P"-Ausgangssignal durch 0 repräsentiert ist) der Vergleichs/Ermittlungsanordnung PF1 bis PF8 gezeigt, wenn die einzelnen von ihnen das "gültig P"-Ausgangssignal liefern. Wenn beispielsweise die Vergleichs/Ermittlungsanordnung PF8 das "gültig P"-Ausgangssignal liefert, geben die anderen Vergleichs/Ermittlungsanordnungen PF7 bis PF1 alle "Nullen" aus, wie in Spalte PF8 gezeigt. Auf ähnliche Weise geben, wenn die Vergleichs/Ermittlungsanordnung PF7 das "gültig P"-Ausgangssignal abgibt, die anderen Vergleichs/Ermittlungsanordnungen PF8 und PF6 bis PF1 alle "Nullen" aus, wie in Spalte PF7 gezeigt. Wenn eine beliebige der acht Vergleichs/Ermittlungsanordnungen PF8 bis PF1 den Logikwert "H" ausgibt, ist die Position von "1" in der "0/1"-Spalte der Ausgangssignale aus den Vergleichs/Ermittlungsanordnungen PF8 bis PF1 durch einen der numerischen Werte 1 bis 8 repräsentiert, dann wird eine Zahl "1" von jenem numerischen Wert subtrahiert, und der subtrahierte Wert wird in ein entsprechendes von acht Datenelementen D0 bis D7 umgesetzt, die im dargestellten Beispiel 4 Bit umfassen. Die numerischen 4-Bit-Datenelemente D0 bis D7 können als Nummern behandelt werden, welche die Phasenfolge der Mehrphasenimpulse P1 bis PS repräsentieren. Bei Verwendung von 4 Bits können die Ausgangssignale aus den acht Vergleichs/Ermittlungsanordnungen PF1 bis PF8 in 16 Phasennummern 0 bis 15 umgesetzt werden, die im Speicher 32 gespeichert werden. In der Praxis sind 4-Bit-Register an die Ausgänge der Vergleichs/Ermittlungsanordnungen PF1 bis PF8 angeschlossen, und die acht numerischen Datenelemente D0 bis D8 werden in den Registern vorgespeichert, so daß die numerischen 4-Bit-Daten aus dem Register ausgelesen werden, das an diejenige der Vergleichs/Ermittlungsanordnungen PF1 bis PF8 angeschlossen ist, die den Logikwert "H" ausgibt.

[0076] Die Vergleichs/Ermittlungsanordnung 50 und die Phasennummerumsetzanordnung 31 bilden eine Phasennummerausgabeordnung 110, in welche das Ausgangssignal aus der Signalausleseschaltung 40 eingelesen wird und aus der die Phasennummer des Strobe-Impulses unmittelbar nach dem Punkt der Änderung (Anstieg oder Abfall) des Referenztaktsignals DQS ausgegeben wird.

[0077] Durch Umsetzen des Ermittlungsergebnisses mit beispielsweise 8 Bits in die vorgenannten 4-Bit-Phasennummerndaten kann die Speicherkapazität des Speichers 32 reduziert werden. Es ist auch möglich, eine in Fig. 21 dargestellte Anordnung zu verwenden, bei der das Ausgangssignal (mit 8 Bit im Beispiel von Fig. 10) aus der Signalausleseschaltung 40 im Speicher 32 gespeichert wird und das aus dem Speicher 32 ausgelesene Ausgangssignal der Signal-

ausleseschaltung 40 von der Phasennummerausgabeordnung 110 in die entsprechende Phasennummer umgesetzt wird.

[0078] In diesem Fall muß jedoch die Speicherkapazität des Speichers 32 größer als diejenige von Fig. 6 sein.

[0079] Bei der Ausführungsform von Fig. 6 werden X- und Y-Adressen, die vom Mustergenerator 14 an das Halbleiterbauelement DUT geliefert werden sollen, von einem Adressenumsetzer 35 in adäquate Adressen (geeignet für das Anlegen an den Speicher 32) umgesetzt, und jeder Meßwert wird im Speicher 32 an einer Adresse entsprechend der Adresse gespeichert, die an das Halbleiterbauelement DUT zu liefern ist. Dementsprechend wird davon ausgegangen, daß der Speicher 32 den gesamten Adreßraum entsprechend den Adressen des Halbleiterbauelements DUT aufweist, das zu testen ist, d. h. die zu testenden Adressen. Der Speicher 32 kann auch so vorgesehen sein, daß er einen nicht verwendeten Speicherbereich eines für einen anderen Zweck eingesetzten Speichers verwendet.

[0080] Vor dem Testen des Halbleiterbauelements DUT wird das Schreiben an alle seiner Adressen und das Lesen von ihnen ausgeführt, dann wird die Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS, das während des Lesens ausgegeben wird, für jede an das Bauelement DUT gelieferte Adresse gemessen, und die als Meßergebnisse erhaltenen Phasennummern der Mehrphasenimpulse werden im Speicher 32 gespeichert. Für die Messung der Abfallzeitlage des Referenztaktsignals DQS wird die Strecke, die sich aus dem Spannungskomparator CP2, der Signalausleseschaltung TC4 und den Gattern G2, G3 und G4 zusammensetzt, durch Liefern des Logikwerts "L" als Erwartungswert EXP an die Gatter G1 und G2 in Fig. 9 freigegeben. Wie aus der zuvor unter Bezug auf Fig. 8 angegebenen Beschreibung ersichtlich ist, wird die Abfallzeitlage des Referenztaktsignals DQS als entsprechende Phasennummerdaten geliefert.

[0081] Die Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS wird in oben beschriebener Weise gemessen, und die Meßergebnisse werden in den Speicher 32 geschrieben, wonach das Halbleiterbauelement DUT getestet wird.

[0082] Beim Testen des Halbleiterbauelements DUT wird eine Adresse, die in dem vom Mustergenerator 14 in Fig. 6 erzeugten Testmuster enthalten ist, an das Bauelement DUT geliefert, und Daten werden von seiner entsprechenden Adresse ausgelesen, während gleichzeitig die Meßergebnisse (die Phasennummern der Mehrphasenimpulse) entsprechend der Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS, das von jener Adresse ausgegeben wurde, als zuvor ein Zugriff darauf erfolgte, aus dem Speicher 32 ausgelesen werden. Das so ausgelesene Meßergebnis wird an den Zeitlageselektor 33 geliefert, der die Zeitlage für das Anlegen des Strobe-Impulses STB an die Signalausleseschaltung 11 zum Lesen der aus dem Bauelement DUT ausgelesenen Daten auswählt.

[0083] Fig. 11 stellt den grundlegenden Aufbau des Zeitlageselektors 33 in Fig. 6 dar. Der Zeitlageselektor 33 umfaßt einen Zeitlagespeicher 33A, in dem die Werte der Zeitlage zum Erzeugen des Strobe-Impulses STB gespeichert werden, und einen Selektor 33B, der einen der Erzeugungszeitlagewerte in dem Zeitlagespeicher 33A nach Maßgabe des aus dem Speicher 32 ausgelesenen Meßergebnisses auswählt.

[0084] Im Zeitlagespeicher 33A werden 16 Arten von Zeitwerten wie beispielsweise 200 ps, 300 ps, 400 ps, 500 ps, . . . gespeichert. Die Zeitwerte entsprechen jeweils der Zeit bezüglich der Anfangsphasenposition des Testzyklus TD und geben die gemessene Anstiegs- oder Abfallzeitlage des Referenztaktsignals DQS an. Die durch diesen Zeitwert angegebene Zeitlage wird als Referenzphasenposi-

tion zum Messen der einzelnen Zeitintervalle dl_1 , dl_2 , dl_3 , ... zwischen ihr und den Punkten der Änderung von Daten verwendet. Einer der Zeitwerte wird nach Maßgabe des im Speicher 32 gelesenen Meßergebnisses ausgewählt, und der ausgewählte Zeitwert wird in den Strobe-Generator 34 eingegeben.

[0085] Im Strobe-Generator 34 wird die Zeit (ein gewünschter Wert) zum Punkt der Änderung von aus dem Bauelement DUT auszulesenden Daten zu dem aus dem Zeitlageselektor 33 gelieferten Zeitwert addiert oder von ihm subtrahiert. Der Strobe-Impulsgenerator 34 erzeugt den Strobe-Impuls STB mit der so berechneten Zeitlage und legt ihn an die Signalausleseschaltung 11 (Fig. 6) an, um diese zu veranlassen, die aus dem Bauelement DUT ausgelesenen Daten zu lesen und eine Überprüfung auszuführen, ob der Punkt der Änderung der Daten tatsächlich bei der Zeitlage des Strobe-Impulses STB vorhanden ist.

[0086] D. h., der Entwickler des Halbleiterbauelements legt vorab das Zeitintervall zwischen der Anstiegs- oder Abfallzeitlage des Referenztaktsignals DQS und dem Punkt der Änderung der Daten, die aus dem Halbleiterbauelement ausgelesen werden, als Nennwert fest. Demzufolge kann, wenn die Anstiegs- und Abfallzeitlage des Referenztaktsignals DQS vorab gemessen wird und somit bekannt gemacht wird, ein exakter Test erzielt werden, indem eine Überprüfung ausgeführt wird, ob der Punkt der Änderung der Daten in einem vorbestimmten Zeitbereich auf der Basis der bekannten Abfall- und Anstiegszeitlage des Referenztaktsignals DQS vorhanden ist.

[0087] Während die obige Ausführungsform gemäß Beschreibung die Anstiegs- oder Abfallzeitlage des Referenztaktsignals DQS für jede Adresse des im Test befindlichen Halbleiterbauelements mißt, ist die vorliegende Erfindung auch auf den Fall des Testens des Halbleiterbauelements anwendbar, wenn graduelle Variationen in der Anstiegs- oder Abfallzeitlage des Referenztaktsignals DQS berücksichtigt werden, die beispielsweise durch einen Temperaturanstieg des Halbleiterbauelements aufgrund einer verlängerten Betriebsperiode verursacht werden.

[0088] In diesem Fall ist, wie durch die gestrichelten Linien in Fig. 6 angegeben, ein Zykuszähler 36 vorgesehen, um Zyklusnummern des von dem Mustergenerator 14 erzeugten Testmusters zu zählen. Der Zählwert des Zykuszählers 36, der den aktuellen Zyklus des Testmusters angibt, wird von einem Adressenumsetzer 35 in ein Adressensignal für den Zugriff auf den Speicher 32 umgesetzt.

[0089] Vor dem Test wird in jedem Auslesemodus während der Erzeugung aller Testmuster die Anstiegs- oder Abfallzeitlage jedes Referenztaktsignals, das aus dem im Test befindlichen Halbleiterbauelement ausgegeben wird, auf gleiche Weise gemessen wie zuvor beschrieben, und die Meßergebnisse werden im Speicher 32 gespeichert. Der Test wird nach dem Messen der Anstiegs- oder Abfallzeitlage des Referenztaktsignals DQS für jedes Testmuster begonnen. Im Test wird das Meßergebnis der Anstiegs- oder Abfallzeitlage des Referenztaktsignals DQS aus dem Speicher 32 ausgelesen und dazu verwendet, die Erzeugungszeitlage des Strobe-Impulses STB zum Auslesen der Daten zu ermitteln, die aus dem im Test befindlichen Bauelement ausgelesen werden. Somit variiert, selbst wenn die Zeitlage des Referenztaktsignals DQS im Lauf der Zeit allmählich variiert, die Datenauslesezeitlage ebenfalls entsprechend, so daß es möglich ist, den Test unter Berücksichtigung des Jitters oder der Drift des Anstiegs oder des Abfalls des Referenztaktsignals DQS auszuführen, der durch einen Temperaturanstieg des im Test befindlichen Bauelements hervorgerufen wird.

[0090] Fig. 12 stellt in Blockform eine modifizierte Form des Mehrphasenimpulsgenerators 30 dar. Bei dieser Ausführungsform sind Verzögerungselemente DY1, DY2, DY3, ..., welche die gleiche, jedoch kurze Verzögerungszeit wie beispielsweise 100 ps (Pikosekunden) aufweisen, in Kaskade geschaltet, so daß leicht gegeneinander versetzte Mehrphasenimpulse aus den verschiedenen Stufen der in Kaskade geschalteten Verzögerungselemente DY1, DY2, DY3, ..., geliefert werden.

[0091] Wie oben beschrieben, wird erfindungsgemäß für jeden Testzyklus die Phase des Punkts der Änderung des Referenztaktsignals für jede zu testende Adresse gemessen und im Speicher 32 vorgespeichert, und in jedem Testzyklus wird die Phasendifferenz zwischen der Anstiegs- oder Abfallzeitlage des Referenztaktsignals und dem Punkt der Änderung der Ausgabedaten aus dem im Test befindlichen Bauelement auf der Basis der aus dem Speicher 32 ausgelesenen Phase ermittelt - dies stellt ein korrektes Testen des Halbleiterbauelements sicher und schießt die Möglichkeit der Ablehnung eines nicht-defekten oder normalen Halbleiterbauelements als angeblich defekt aus.

[0092] Da erfindungsgemäß die Anstiegs- oder Abfallzeitlage des Referenztaktsignals DQS in einem Testzyklus durch Verwendung der Mehrphasenimpulse P1, P2, P3, P4, P5, ... und P1', P2', P3', P4', P5', ... gemessen wird, die in den Fig. 7 und 8 dargestellt sind, kann sie außerdem in einer weit kürzeren Zeit gemessen werden als in der Vergangenheit. Als Folge kann das Halbleiterbauelement dieser Art in kurzer Zeit und mit hoher Genauigkeit getestet werden, und die Betriebseffizienz des Testgeräts kann entsprechend erhöht werden.

[0093] Außerdem kann, da die Meßergebnisse der Anstiegs- oder Abfallzeitlage des Referenztaktsignals in die Phasennummern der Mehrphasenimpulse umgesetzt werden, die Anzahl an Datenbits klein gemacht werden. Dies ermöglicht eine Reduzierung der Speicherkapazität des Speichers 32, wodurch Zusatzkosten für das Hinzufügen dieser Schaltung bei einem Minimum gehalten werden.

[0094] Als nächstes wird unter Bezug auf Fig. 13 eine zweite Ausführungsform der vorliegenden Erfindung beschrieben, die eine weitere Reduzierung der Zeit für den Test ermöglicht. In Fig. 13 sind diejenigen Teile, die jenen in Fig. 6 entsprechen, mit den gleichen Bezugszahlen bezeichnet. Bei dieser Ausführungsform werden die aus dem im Test befindlichen Halbleiterbauelement ausgegebenen Datenelemente D0, D1, ... durch jeweilige von Pegelkomparatoren 10D, 10D, ... bzw. 10R hinsichtlich des Pegels mit dem Referenztaktsignal DQS verglichen. Die Vergleichsergebnisse werden an Signalausleseschaltungen 40D, 40D, ... bzw. 40R geliefert, und die Anstiegs- oder Abfallzeit aller Datenelemente D0, D1, ... sowie die Anstiegs- oder Abfallzeit des Referenztaktsignals DQS werden durch die Strobe-Impulse STB gemessen, die durch die vom Mehrphasengenerator 30 erzeugten Mehrphasenimpulse gebildet werden. Die Pegelkomparatoren 10D und 10R, die Signalausleseschaltung 40D und 40R sowie die Vergleichs/Ermittlungsanordnung 50D und 50R weisen einen identischen Aufbau wie der Pegelkomparator 10, die Signalausleseschaltung 40 bzw. der Vergleichs/Ermittlungsteil 50 in Fig. 6 auf. Diese Ausführungsform wird in Verbindung mit dem Fall der Erfassung der Anstiegszeitlage des Referenztaktsignals DQS und der Daten D0, D1, ... beschrieben, wie zuvor unter Bezug auf Fig. 7 beschrieben.

[0095] Die Ausgangssignale aus den Signalausleseschaltungen 40D und 40R werden an die Vergleichs/Ermittlungsanordnung 50D und 50R geliefert, welche die Phasen jener der Mehrphasenimpulse ermitteln, die den Anstiegen der Datenelemente D0, D1, ... und aller Referenztaktpulse DQS unmittelbar folgen.

[0096] Die Vergleichs/Ermittlungsanordnung 50D und

50R führen die gleiche Ermittlungsoperation aus wie zuvor unter Bezug auf Fig. 9 beschrieben. D. h., nur die Vergleichs/Ermittlungsanordnung PF, die der Phase des Strobe-Impulses entspricht, der dem Anstieg der Daten aus dem im Test befindlichen Bauelement oder dem Referenztaktsignal unmittelbar folgte, gibt den Logikwert "H" von 1 aus, und die anderen Vergleichs/Ermittlungsanordnungen PF geben alle den Logikwert "L" von 0 aus.

[0097] Bei der Ermittlung der Phasen der Strobe-Impulse, die dem Anstieg der Datenelemente D0, D1, ... und der Referenztaktimpulse DQS unmittelbar folgen, liefern die Vergleichs/Ermittlungsanordnungen 50D und 50R die Ermittlungsergebnisse an eine Datenphasennummerumsetzanordnung 31D und eine Referenzphasennummerumsetzanordnung 31R, durch welche die Positionen von Einsen in den Ermittlungsergebnissen in eine Datenphasennummer DNO bzw. eine Referenzphasennummer RNO umgesetzt werden.

[0098] Fig. 14 zeigt den Umsetzungsalgorithmus der Phasennummerumsetzanordnung 31D (31R), der in etwa gleich ist wie der in Fig. 10 dargestellte Algorithmus. In Fig. 14 wird jedoch der die Position von "1" in der 0/1-Spalte der Ausgangssignale aus den Vergleichs/Ermittlungsanordnungen PF1 bis PF8 angegebene numerische Wert ohne Subtraktion von 1 in ein entsprechendes der numerischen Datenelemente F1 bis F8 umgesetzt, und die umgesetzten numerischen Daten werden als Datenphasennummer DNO ausgegeben. Auf ähnliche Weise setzt auch die Referenzphasennummerumsetzanordnung 31R den die Position von "1" in der 1/0-Spalte der Ausgangssignale aus der Vergleichs/Ermittlungsanordnung 50R angegebenden numerischen Wert in die entsprechenden numerischen Daten um und gibt sie als Referenzphasennummer RNO aus. Dies kann unter Verwendung einer Anordnung ausgeführt werden, wie sie zuvor unter Bezug auf Fig. 10 erwähnt wurde; d. h., ein Register, in dem die Phasennummern entsprechend den jeweiligen numerischen Datenelementen F1, F2, ... gespeichert sind, ist an die Ausgangsseite der einzelnen Vergleichs/Ermittlungsanordnungen PF für die Ausgabedaten und die Vergleichs/Ermittlungsanordnung PF für den Referenztakt angeschlossen, und die Phasennummer wird aus dem Register ausgegeben, das an die Vergleichs/Ermittlungsanordnung PF angeschlossen ist, das den Logikwert 1 ausgegeben hat.

[0099] Die von der Datenphasennummerumsetzanordnung 31D umgesetzte Datenphasennummer DNO und die von der Referenzphasennummerumsetzanordnung umgesetzte Referenzphasennummer RNO repräsentieren die Phasen, die die Anstiegszeitlage der einzelnen Datenelemente D0, D2, D3, ... und die Anstiegszeitlage des Referenztaktsignals DQS definieren. Diese Phasennummern DNO, ... und RNO werden durch die Phasenvergleichsteile 60 in der Phase verglichen.

[0100] Fig. 15 stellt ein konkretes Beispiel des Phasenvergleichsteils 60 dar, der durch einen digitalen Subtrahierer gebildet ist und in dem die Datenphasennummer DNO an einem Plus-Eingangsanschluß des Subtrahierers eingegeben wird und die Referenzphasennummer RNO an seinem Minus-Eingangsanschluß eingegeben wird.

[0101] Dementsprechend gibt beispielsweise, wenn die Datenphasennummer DNO "6" ist und die Referenzphasennummer RNO "3" ist, wie in Fig. 16 gezeigt ist, der Phasenvergleichsteil 60 $X = 6 - 3 = 3$ aus. Somit wird die Phasendifferenz d1 zwischen den vorderen Flanken einer Datenwellenform 101 und einer Referenztaktwellenform 102 erhalten. In Fig. 16 sind 0/1-Felder von Ermittlungsausgangssignalen entsprechend der Datenphasennummer DNO = 6 bzw. der Referenzphasennummer RNO = 3 dargestellt; die Felder sind äquivalent zu den Spalten in Fig. 14, die ihnen entsprechen.

[0102] Wenn die Datenphasennummer DNO "3" ist und die Referenzphasennummer RNO "7" ist, wie in Fig. 17 gezeigt, gibt der Phasenvergleichsteil 60 $X = 3 - 7 = -4$ aus.

[0103] Fig. 18 stellt als Beispiel eine Gut/Schlecht-Ermittlungsanordnung 70 und eine Spezifikationseinstellanordnung 71 dar. Die Spezifikationseinstellanordnung 71 umfaßt Register REG1 und REG2, in denen ein Benutzer Spezifikationswerte einstellt, welche die Spezifikationen des im Test befindlichen Halbleiterbauelements erfüllen. In diesem Beispiel ist in den Registern REG1 und REG2 gemäß Darstellung "5" bzw. "0" eingestellt.

[0104] Die Gut/Schlecht-Ermittlungsanordnung 70 ist in diesem Beispiel aus zwei Subtrahierern U1 und U2, zwei Codierern E1 und E2 sowie einem ODER-Glied OR gebildet. Das Ausgangssignal X aus dem Phasenvergleichsteil 60 wird an einen Minus-Eingangsanschluß des Subtrahierers U1 und an einen Plus-Eingangsanschluß des Subtrahierers U2 geliefert; der im Register REG1 der Spezifikationseinstellanordnung 71 eingestellte Wert "5" wird an einen Plus-Eingangsanschluß des Subtrahierers U1 geliefert; und der im Register REG2 eingestellte Wert "0" wird an einen Minus-Eingangsanschluß des Subtrahierers U2 geliefert.

[0105] Die Codierer E1 und E2 geben abhängig davon, ob die Ausgangssignale aus den Subtrahierern U1 und U2 plus oder minus sind, einen Logikwert 0 oder 1 aus.

[0106] Das ODER-Glied OR berechnet das logische ODER der Ausgangssignale aus den Codierern E1 und E2 und gibt ein Gut/Schlecht-Ergebnis PASS/FAIL aus. Das im Test befindliche Bauelement wird abhängig davon, ob das Ausgangssignal aus dem ODER-Glied OR 1 oder 0 ist, als nicht defekt oder defekt beurteilt.

[0107] Dementsprechend ist im Fall von Fig. 16, da $X = 3$, das Ausgangssignal aus dem Subtrahierer U1 gleich $5 - (-4) = 9$, und das Ausgangssignal aus dem Subtrahierer U2 ist gleich $3 - 0 = 3$, so daß die Ausgangssignale aus den Codierern E1 und E2 beide Nullen sind, und das ODER-Glied OR gibt PASS aus.

[0108] Andererseits ist im Fall von Fig. 17, da $X = -4$, das Ausgangssignal aus dem Subtrahierer U1 gleich $5 - (-4) = 9$, und das Ausgangssignal aus dem Subtrahierer U2 ist gleich $-4 - 0 = -4$, so daß das Ausgangssignal aus dem Codierer E1 0 ist, jedoch das Ausgangssignal aus dem Codierer E2 1 ist, und das Ermittlungsausgangssignal aus dem ODER-Glied OR ist 0, d. h., FAIL.

[0109] D. h., dieses Beispiel ist so gewählt, daß das im Test befindliche Bauelement als defekt eingestuft wird, wenn die Phase des Referenztaktsignals DQS hinter der Phase der Phase des Datenausgangssignals aus dem im Test befindlichen Bauelement zurückbleibt. Die Phasenvergleichsteile 60 und die Gut/Schlecht-Ermittlungsanordnung 70 bilden einen Gut/Schlecht-Ergebnisausgabeteil 120.

[0110] Das Ermittlungsausgangssignal aus jeder Gut/Schlecht-Ermittlungsanordnung 70 variiert mit dem Wert, der in der Spezifikationseinstellanordnung 71 eingestellt ist, aber das Ermittlungsausgangssignal wird gemäß den Anforderungen des Benutzers modifiziert.

[0111] Fig. 19 stellt in Blockform eine dritte Ausführungsform der vorliegenden Erfindung dar. Bei dieser Ausführungsform ist eine aus einem Speicher gebildete Referenztabelle 80 als Gut/Schlecht-Ergebnisausgabeteil 120 an der Stufe vorgesehen, die den einzelnen Datenphasennummerumsetzanordnungen 31D entspricht, so daß das Gut/Schlecht-Ergebnis PASS/FAIL direkt aus der Referenztabelle 80 ausgegeben wird.

[0112] Bei diesem Beispiel wird die Referenzphasennummer RNO in die X-Adresse des die einzelnen Referenztabellen 80 bildenden Speichers eingegeben, und die Datenphasennummer DNO wird in die Y-Adresse des Speichers ent-

sprechend den Datenphasennummerumsetzanordnungen 31D eingegeben, aus denen die Datenphasennummer DNO ausgegeben wird.

[0113] Fig. 20A ist eine Tabelle, die Werte der Differenzen zwischen den Datenphasennummern DNO und den Referenzphasennummern RNO zeigt. Wenn der Benutzer beabsichtigt festzulegen, daß die Werte von -2 bis +2 PASS bedeuten, wird $P (= 0)$, das PASS repräsentiert, in Speicherzellen der Referenztabelle 80 gespeichert, wo die Werte sich im Bereich von -2 bis +2 befinden, und $F (= 1)$, das FAIL repräsentiert, wird in den anderen Speicherzellen gespeichert, wie in Fig. 20B dargestellt.

[0114] Durch Anlegen der Referenzphasennummer RNO an die X-Adresse und der Datenphasennummer DNO an die Y-Adresse wird $P (= 0)$ aus der Referenztabelle 80 für die Phasendifferenzen innerhalb des Bereichs von -2 bis +2 ausgelesen, und für die anderen Phasendifferenzen wird $F (= 1)$ ausgelesen. Somit wird das im Test befindliche Bauelement auf der Basis von Gut/Schlecht evaluiert. In diesem Fall ist es auch möglich, nur eine Referenztabelle 80 zu verwenden, die zum Umschalten für jede Datenphasennummer DNO ausgebildet ist.

[0115] Die Phasennummernaussageanordnung 110 in Fig. 16 (110D und 110R in Fig. 13 und 19) kann auch die in Fig. 22 dargestellte Konfiguration aufweisen. D. h., das Ausgangssignal mit beispielsweise 8 Bits aus der Signalausleseschaltung 40 wird als Adresse zum Zugriff auf einen Tabellenpeicher 130 verwendet, um aus diesem ein beliebiges der Datenelemente D0 bis D7 (F1 bis F8 in Fig. 14) als Phasennummer auszulesen.

[0116] Wie oben beschrieben, kann gemäß einem anderen Aspekt der vorliegenden Erfindung das im Test befindliche Halbleiterbauelement auf normalen Betrieb getestet werden, indem in Echtzeit die Phasendifferenz (Zeitdifferenz) zwischen dem Punkt der Änderung des Referenztaktsignals und dem Punkt der Änderung der einzelnen Datenelemente gemessen wird und indem ermittelt wird, ob die Phasendifferenz innerhalb eines vorbestimmten Bereichs liegt, oder ob der Punkt der Änderung der Bauelementausgabedaten vor oder nach dem Punkt der Änderung des Referenztaktsignals liegt. Der Test involviert nur eine Runde der Erzeugung von Testmustern. Somit kann der Test in kürzerer Zeit als in der Vergangenheit abgeschlossen werden.

[0117] Außerdem ist es durch Speicherung der Ausgabewerte der Phasenvergleichsteile 60 in Speichern während des Tests auch möglich, Fluktuationen oder Jitter der Phasendifferenzen zwischen den Bauelementausgabedaten und dem Referenztaktsignal zu analysieren.

[0118] Es ist ersichtlich, daß viele Modifikationen und Variationen ausgeführt werden können, ohne den Bereich der neuen Konzepte der vorliegenden Erfindung zu verlassen.

Patentansprüche

1. Verfahren zum Testen eines Halbleiterbauelements, das ein im Test befindliches Halbleiterbauelement evaluiert, indem die Phasendifferenzen zwischen Punkten der Änderung von Daten, die aus dem im Test befindlichen Halbleiterbauelement ausgegeben werden, und Punkten der Änderung eines Referenztaktsignals, das in Synchronisation mit den Ausgabedaten ausgegeben wird, gewonnen werden, wobei das Verfahren folgende Schritte umfaßt:

Erzeugen von Mehrphasen-Strobe-Impulsen, die bezüglich einer vorbestimmten Phasenposition jedes Testzyklus nacheinander geringfügig phasenversetzt sind;
Abtasten des Referenztaktsignals durch Verwendung

der Mehrphasen-Strobe-Impulse; und Erfassen der Phasen der Punkte der Änderung des Referenztaktsignals aus den abgetasteten Ausgangssignalen.

2. Verfahren nach Anspruch 1, ferner umfassend folgende Schritte:

Umsetzen der Phasen der Punkte der Änderung des erfaßten Referenztaktsignals in die Phasennummern der Mehrphasenimpulse und Speichern der entsprechenden Phasennummern in einem Speicher; und Gewinnen der Phasendifferenzen durch Auslesen der in dem Speicher gespeicherten Phasennummern.

3. Verfahren nach Anspruch 2, bei dem: die Erfassung der Phasen der Punkte der Änderung des Referenztaktsignals und die Umsetzung der Phasen in die entsprechenden Phasennummern für alle Adressen des im Test befindlichen Halbleiterbauelements ausgeführt werden; die umgesetzten Phasennummern in dem Speicher an Adressen gespeichert werden, die jenen des im Test befindlichen Halbleiterbauelements entsprechen; und die Phasendifferenzen durch Auslesen der Phasennummern aus dem Speicher an den Adressen entsprechend den Adressensignalen gewonnen werden, die an das im Test befindliche Halbleiterbauelement angelegt werden.

4. Verfahren nach Anspruch 2, bei dem die Erfassung der Phasen der Punkte der Änderung jedes Referenztaktsignals und die Umsetzung der Phasen in die entsprechenden Phasennummern in der Reihenfolge der Erzeugung der Testmuster ausgeführt werden, die an das im Test befindliche Halbleiterbauelement angelegt werden; die Phasennummern in dem Speicher an Adressen gespeichert werden, welche die Reihenfolge der Erzeugung der Testmuster angeben; und die Phasendifferenzen durch Auslesen der Phasennummern aus dem Speicher an Adressen gewonnen werden, welche die Reihenfolge der Erzeugung der Testmuster angeben, die an das im Test befindliche Halbleiterbauelement angelegt werden.

5. Verfahren nach Anspruch 2, bei dem Strobe-Impulse mit Zeitlagen erzeugt werden, die entsprechend den aus dem Speicher ausgelesenen Phasennummern voreingestellt werden; und die Phasendifferenzen durch Auslesen von Logikwerten der Ausgabedaten aus dem im Test befindlichen Halbleiterbauelement mit der Zeitlage der Strobe-Impulse gewonnen werden.

6. Verfahren nach Anspruch 1, ferner umfassend folgende Schritte:

Speichern der Phasen der Punkte der Änderung des erfaßten Referenztaktsignals in einem Speicher; Gewinnen der Phasendifferenzen durch Auslesen der in dem Speicher gespeicherten Phasen der Punkte der Änderung des Referenztaktsignals; und Umsetzen der ausgelesenen Phasen der Punkte der Änderung in die Phasennummern der Mehrphasenimpulse.

7. Verfahren nach Anspruch 1, ferner umfassend folgende Schritte:

Abtasten der Ausgabedaten des im Test befindlichen Bauelements durch die Mehrphasen-Strobe-Impulse; Erfassen der Phasen der Punkte der Änderung der Ausgabedaten aus den abgetasteten Ausgangssignalen; und Messen der Phasendifferenzen zwischen den Phasen der Punkte der Änderung des erfaßten Referenztaktsignals und den Phasen der Punkte der Änderung der Bauelementausgabedaten.

8. Verfahren nach Anspruch 7, ferner umfassend folgende Schritte:

Umsetzen der Phasen der Punkte der Änderung des erfaßten Referenztaktsignals und der Phasen der Punkte der Änderung des erfaßten Bauelementausgangssignals in die Phasennummern der Mehrphasenimpulse; Gewinnen der Differenzen zwischen den umgesetzten Phasennummern des Referenztaktsignals und den umgesetzten Phasennummern der Bauelementausgabedaten; und
 5 Ausführen einer Überprüfung, um zu ermitteln, ob die Werte der Differenzen jeweils in einen vorbestimmten Bereich fallen.
 9. Verfahren nach Anspruch 7, ferner umfassend folgende Schritte:
 Umsetzen der Phasen der Punkte der Änderung des erfaßten Referenztaktsignals und der Phasen der Punkte der Änderung des erfaßten Bauelementausgangssignals in die Phasennummern der Mehrphasenimpulse; und
 15 Zugreifen auf eine Referenztabelle durch die umgesetzten Phasennummern des Referenztaktsignals und der Bauelementausgabedaten, um aus ihnen Gut/Schlecht-Ergebnisse des im Test befindlichen Bauelements auszulesen.
 10. Verfahren zum Testen eines Halbleiterbauelements, das ein im Test befindliches Halbleiterbauelement evaluiert, indem die Phasendifferenzen zwischen
 25 Punkten der Änderung von Daten, die aus dem im Test befindlichen Halbleiterbauelement ausgegeben werden, und Punkten der Änderung eines Referenztaktsignals, das in Synchronisation mit den Ausgabedaten ausgegeben wird, gewonnen werden, wobei das Verfahren folgende Schritte umfaßt:
 vorab Messen, für jeden Testzyklus, der Phasen der Punkte der Änderungen des Referenztaktsignals und Speichern der vorab gemessenen Phasen in einem Speicher an Adressen entsprechend den einzelnen Testzyklen; und
 35 Gewinnen, für jeden Testzyklus, der Phasendifferenzen durch Auslesen der Phasen aus dem Speicher an den Adressen entsprechend den einzelnen Testzyklen, um eine Referenzphase für die Evaluierung zu ermitteln.
 11. Vorrichtung zum Testen eines Halbleiterbauelements, die ein im Test befindliches Halbleiterbauelement evaluiert, indem die Phasendifferenzen zwischen Punkten der Änderung von aus dem im Test befindlichen Halbleiterbauelement ausgegebenen Daten und
 45 Punkten der Änderung eines aus dem im Test befindlichen Halbleiterbauelement in Synchronisation mit den Ausgabedaten ausgegebenen Referenztaktsignals gewonnen werden, wobei die Vorrichtung umfaßt:
 einen Mehrphasenimpulsgenerator zum Erzeugen von geringfügig gegeneinander phasenversetzten Mehrphasen-Strobe-Impulsen;
 50 eine Mehrzahl von Referenzsignalausleseschaltungen, von denen jede zum Abtasten des Referenztaktsignals durch einen anderen der Mehrphasen-Strobe-Impulse dient; und
 eine Referenzphasennummernausgabeordnung, an welche die Ausgangssignale aus der Mehrzahl von Referenzsignalausleseschaltungen geliefert werden, zum Ausgeben der Phasennummern der Mehrphasen-Strobe-Impulse, die den Punkten der Änderung des Referenztaktsignals unmittelbar folgen, als Phasen der Punkte der Änderung des Referenztaktsignals.
 12. Vorrichtung nach Anspruch 11, ferner umfassend:
 65 eine Datenausleseschaltung zum Auslesen des Logikwerts der Ausgabedaten aus dem Halbleiterbauelement mit der Zeitlage des Anlegens eines Strobe-Impulses an die Datenausleseschaltung;

einen Speicher zum Speichern der Phasennummern aus der Referenzphasennummernausgabeordnung an Adressen entsprechend Adressen des im Test befindlichen Halbleiterbauelements;
 einen Zeitlageselektor zum Auswählen einer vorbestimmten Strobe-Impulserzeugungszeitlage gemäß der Phasennummer, die aus dem Speicher an der Adresse ausgelesen wurde, die einer an das im Test befindliche Halbleiterbauelement angelegten Adresse entspricht; und
 einen Strobe-Generator zum Erzeugen des Strobe-Impulses zum Anlegen an die Datenausleseschaltung nach Maßgabe des durch den Zeitlageselektor ausgewählten Zeitlagewerts.
 13. Vorrichtung nach Anspruch 11, ferner umfassend:
 eine Datenausleseschaltung zum Auslesen des Logikwerts der Ausgabedaten aus dem Halbleiterbauelement mit der Zeitlage des Anlegens eines Strobe-Impulses an die Datenausleseschaltung;
 einen Speicher zum Speichern der Phasennummern aus der Referenzphasennummernausgabeordnung an Adressen entsprechend Adressen des im Test befindlichen Halbleiterbauelements;
 einen Zeitlageselektor zum Auswählen einer vorbestimmten Strobe-Impulserzeugungszeitlage gemäß der Phasennummer, die aus dem Speicher an der Adresse ausgelesen wurde, die einer an das im Test befindliche Halbleiterbauelement angelegten Adresse entspricht; und
 einen Strobe-Generator zum Erzeugen des Strobe-Impulses zum Anlegen an die Datenausleseschaltung auf der Basis des durch den Zeitlageselektor ausgewählten Zeitlagewerts.
 14. Vorrichtung nach Anspruch 11, bei der der Mehrphasenimpulsgenerator aus einer Mehrzahl von Verzögerungselementen gebildet ist, die geringfügig unterschiedliche Verzögerungszeiten aufweisen und an einem Ende zur Bildung eines Impulseingabeanschlusses zusammengeschlossen sind, wobei jedes der anderen Enden der Mehrzahl von Verzögerungselementen als Ausgabeanschluß für einen der Mehrphasen-Strobe-Impulse dient.
 15. Vorrichtung nach Anspruch 11, bei der der Mehrphasenimpulsgenerator aus einer Kaskadenschaltung von Verzögerungselementen gleicher Verzögerungszeit gebildet ist, ein Ende der Kaskadenschaltung als Impulseingangsanschluß und jeder der Anschlußpunkte der Verzögerungselemente als Ausgangsanschluß für einen der Mehrphasen-Strobe-Impulse dient.
 16. Vorrichtung nach Anspruch 11, bei der die Referenzphasennummernausgabeordnung umfaßt:
 eine Mehrzahl von Vergleichs/Ermittlungsanordnungen, an die jeweils das Ausgangssignal aus einer der Mehrzahl von Referenzsignalausleseschaltungen geliefert wird und von denen jede der Phasennummer desjenigen Strobe-Impulses entspricht, der an diejenige Referenzsignalausleseschaltung angelegt wird, deren Ausgangssignal an die jeweilige der Vergleichs/Ermittlungsanordnungen geliefert wird, wobei jede Vergleichs/Ermittlungsanordnung das Ausgangssignal aus der einen Referenzsignalausleseschaltung und das Ausgangssignal aus derjenigen der Vergleichs/Ermittlungsanordnungen, deren Phasennummer um 1 kleiner als die Phasennummer des Strobe-Impulses ist, vergleicht und ein Ungültigkeitssignal oder ein Gültigkeitssignal abhängig davon ausgibt, ob eine Nicht-Übereinstimmung zwischen den verglichenen Ausgangssignalen gefunden wird; und

einen Phasennummerumsetzer, an den die Ausgangssignale aus den Vergleichs/Ermittlungsanordnungen geliefert werden, zum Ausgeben der Phasennummer derjenigen der Vergleichs/Ermittlungsanordnungen, die das Gültigkeitssignal ausgibt.

17. Vorrichtung nach Anspruch 16, bei der die Referenzsignalausleseschaltungen diejenige für den Anstiegsübergangspunkt des Referenztaktsignals und diejenige für den Abfallübergangspunkt des Referenztaktsignals sind und jede Vergleichs/Ermittlungsanordnung eine Schaltung zum Umschalten zwischen dem Eingangssignal aus der Referenzsignalausleseschaltung für den Anstiegsübergangspunkt und dem Eingangssignal aus der Referenzsignalausleseschaltung für den Abfallübergangspunkt aufweist.

18. Vorrichtung nach Anspruch 11, bei der die Referenzphasennummerausgabebeordnung ein Tabellenspeicher ist, an den die Ausgangssignale aus den Referenzsignalausleseschaltungen als Adressen geliefert werden und der die Phasennummern der Mehrphasen-Strobe-Impulse ausgibt.

19. Vorrichtung nach Anspruch 11, ferner umfassend: eine Datenausleseschaltung zum Auslesen des Logikwerts der Ausgabedaten aus dem im Test befindlichen Halbleiterbauelement mit der Zeitlage des Anlegens des Strobe-Impulses an die Datenausleseschaltung; einen Speicher zum Speichern der Ausgangssignale aus den Referenzsignalausleseschaltungen an spezifizierten Adressen; eine Phasennummerausgabebeordnung, an die bei Anlegen eines Testmusters an das im Test befindliche Halbleiterbauelement Daten eingegeben werden, die aus dem Speicher an der Adresse ausgelesen werden, die der Adresse entsprechen, an der die Daten gespeichert waren, und welche die Phasennummer des Strobe-Impulses, der dem Punkt der Änderung des Referenztaktsignals unmittelbar folgt, als Phase des Punkts der Änderung des Referenztaktsignals ausgibt; einen Zeitlageselektor zum Auswählen eines vorbestimmten Strobe-Impulserzeugungszeitlagewerts entsprechend der aus der Phasennummerausgabebeordnung ausgegebenen Phasennummer; und einen Strobe-Generator zum Erzeugen des Strobe-Impulses zum Anlegen an die Datenausleseschaltung nach Maßgabe des von dem Zeitlageselektor ausgewählten Zeitlagewerts.

20. Vorrichtung nach Anspruch 11, ferner umfassend: mehrere Datensignalausleseschaltungsgruppen, von denen jede aus mehreren Datenausleseschaltungen besteht, deren jede zum Abtasten der Ausgabedaten aus dem im Test befindlichen Halbleiterbauelement durch einen anderen der Strobe-Impulse dient; mehrere Datenphasennummerausgabebeordnungen, an welche die Ausgangssignale aus den Datensignalausleseschaltungen der mehreren Datensignalausleseschaltungsgruppen geliefert werden und welche die Phasennummern der Strobe-Impulse ausgeben, die den Punkten der Änderung der Ausgabedaten aus dem im Test befindlichen Halbleiterbauelement unmittelbar folgen; und

einen Gut/Schlecht-Ergebnisausgabeteil, an den die Phasennummern aus den mehreren Datenphasennummerausgabebeordnungen und die Phasennummer aus der Referenzphasennummerausgabebeordnung geliefert werden und der Gut/Schlecht-Ergebnisse der Ermittlung ausgibt, ob die Phasendifferenzen zwischen den Punkten der Änderungen der Ausgabedaten und dem Referenztaktsignal in einen vorbestimmten Be-

reich fallen.

21. Vorrichtung nach Anspruch 20, bei der der Gut/Schlecht-Ergebnisausgabeteil umfaßt: mehrere Phasenvergleichsteile zum Erfassen der Phasennummer von der Referenzphasennummerausgabebeordnung und der einzelnen Phasennummern von den mehreren Datenphasennummerausgabebeordnungen; und

eine Gut/Schlecht-Ermittlungsanordnung zum Ermitteln, ob die Phasendifferenzen von den Phasenvergleichsteilen in einen vorbestimmten Bereich fallen.

22. Vorrichtung nach Anspruch 20, bei der der Gut/Schlecht-Ergebnisausgabeteil eine Mehrzahl von Referenztabelle umfaßt, an die, an der einen Adresse, die Phasennummer von der Referenzphasennummerausgabebeordnung und, an der anderen Adresse, die Phasennummer von den einzelnen der mehreren Datenphasennummerausgabebeordnungen geliefert wird, die jeweils Gut/Schlecht-Ergebnisse ausgeben.

23. Vorrichtung nach Anspruch 20, bei der: die Datensignalausleseschaltungen und die Referenzsignalausleseschaltungen diejenige für den Anstiegsübergangspunkt des Referenztaktsignals und diejenige für den Abfallübergangspunkt des Referenztaktsignals sind; die mehreren Datenphasennummerausgabebeordnungen jeweils umfassen:

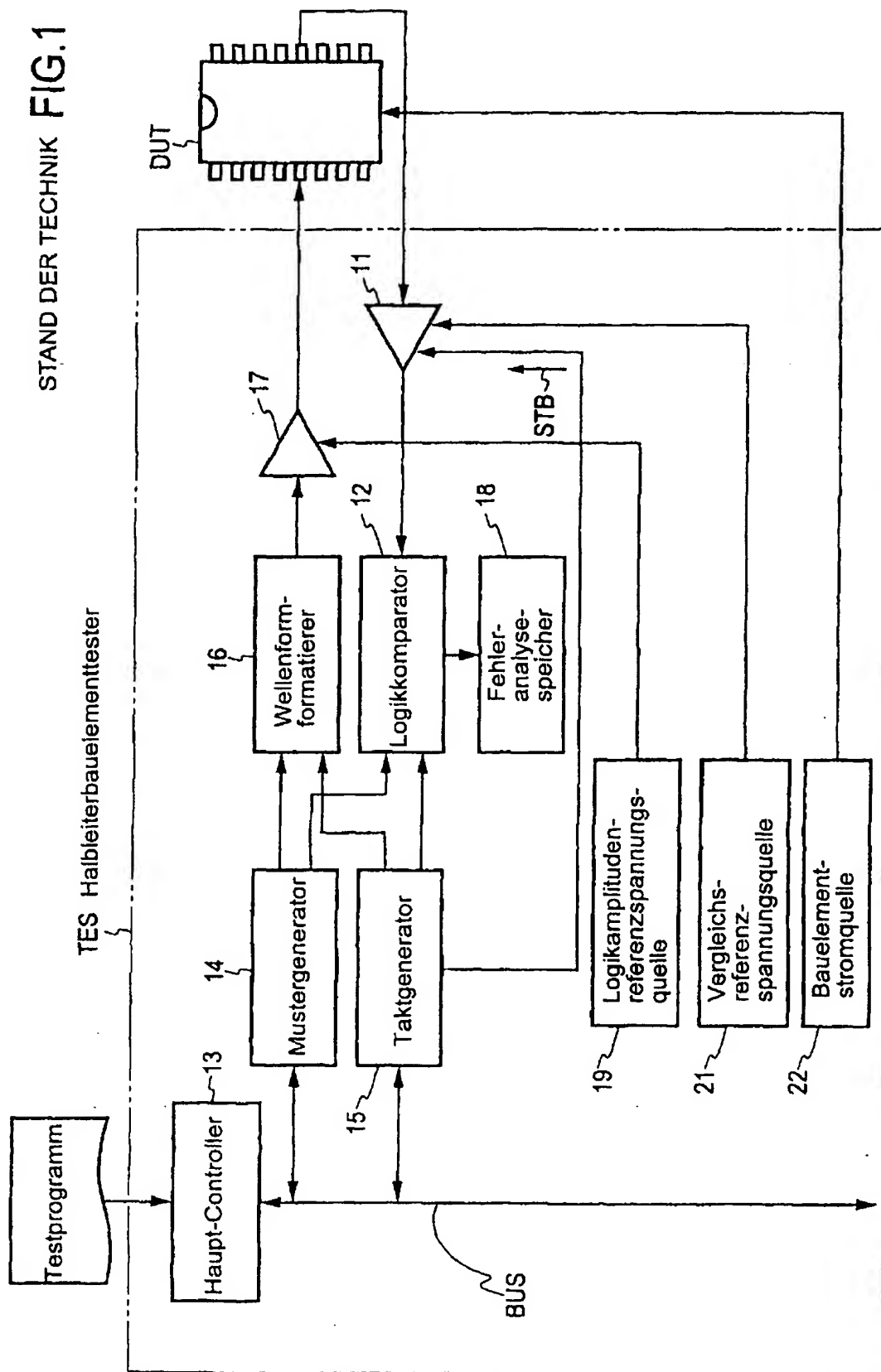
eine Mehrzahl von Vergleichs/Ermittlungsanordnungen, die für jede der mehreren Datensignalausleseschaltungsgruppen vorgesehen sind und an die die Ausgabe aus den mehreren Datensignalausleseschaltungen jeder Gruppe geliefert wird und von denen jede eine auf einen Erwartungswert ansprechende Schaltung zum Umschalten ihres Eingangs zwischen der Datenausleseschaltung für den Anstiegsübergangspunkt der Ausgabedaten und der Datenausleseschaltung für den Abfallübergangspunkt der Ausgabedaten aufweist, wobei jede Vergleichs/Ermittlungsanordnung so ausgebildet ist, daß sie der Phasennummer desjenigen Strobe-Impulses entspricht, der an diejenige der Referenzsignalausleseschaltungen angelegt wird, deren Ausgangssignal an die jeweilige der Vergleichs/Ermittlungsanordnungen geliefert wird, und wobei jede der Vergleichs/Ermittlungsanordnungen das Ausgangssignal aus der einen Datensignalausleseschaltung und das Ausgangssignal aus derjenigen Vergleichs/Ermittlungsanordnung, deren Phasennummer um 1 kleiner als die Phasennummer des Strobe-Impulses ist, vergleicht und ein Ungültigkeitssignal oder ein Gültigkeitssignal abhängig davon ausgibt, ob eine Nicht-Übereinstimmung zwischen den verglichenen Ausgangssignalen gefunden wird; und

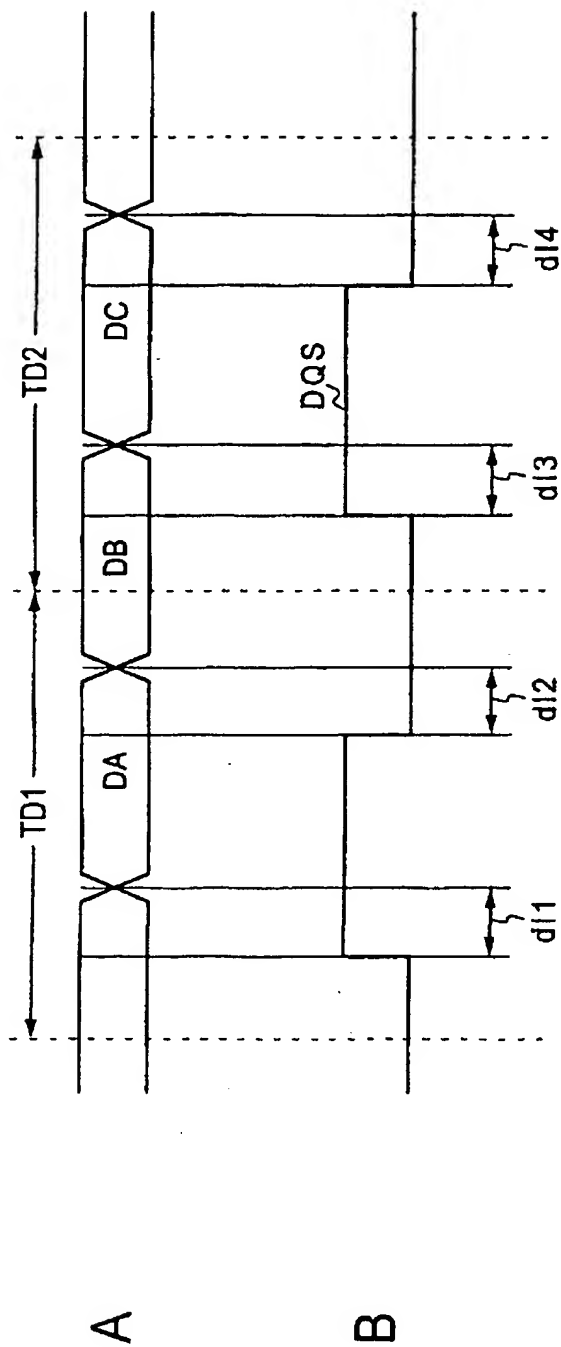
einen Phasennummerumsetzer, an den die Ausgangssignale aus den Vergleichs/Ermittlungsanordnungen geliefert werden, zum Ausgeben der Phasennummer derjenigen der Vergleichs/Ermittlungsanordnungen, die das Gültigkeitssignal ausgibt.

24. Vorrichtung nach Anspruch 20, bei der jede Datenphasennummerausgabebeordnung ein Tabellenspeicher ist, an den die Ausgangssignale aus den mehreren Datensignalausleseschaltungen der entsprechenden Gruppe als Adressen geliefert werden und der die Phasennummern der Mehrphasen-Strobe-Impulse ausgibt.

- Leerseite -

STAND DER TECHNIK FIG.1





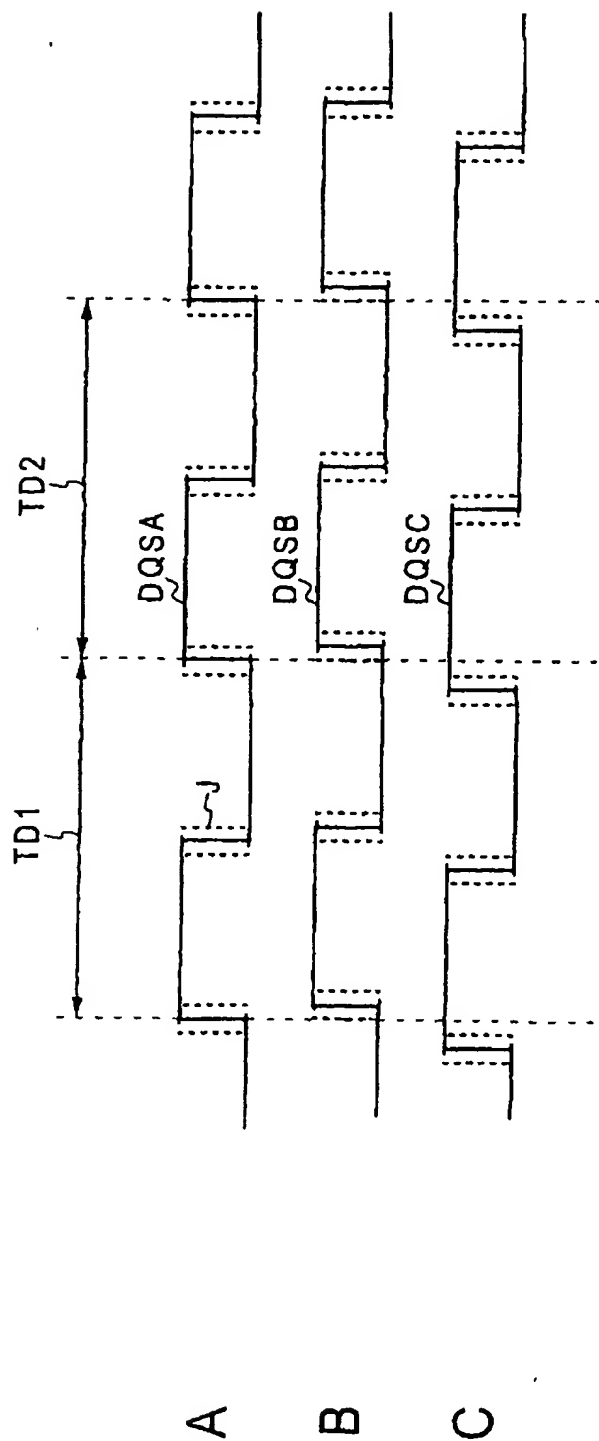
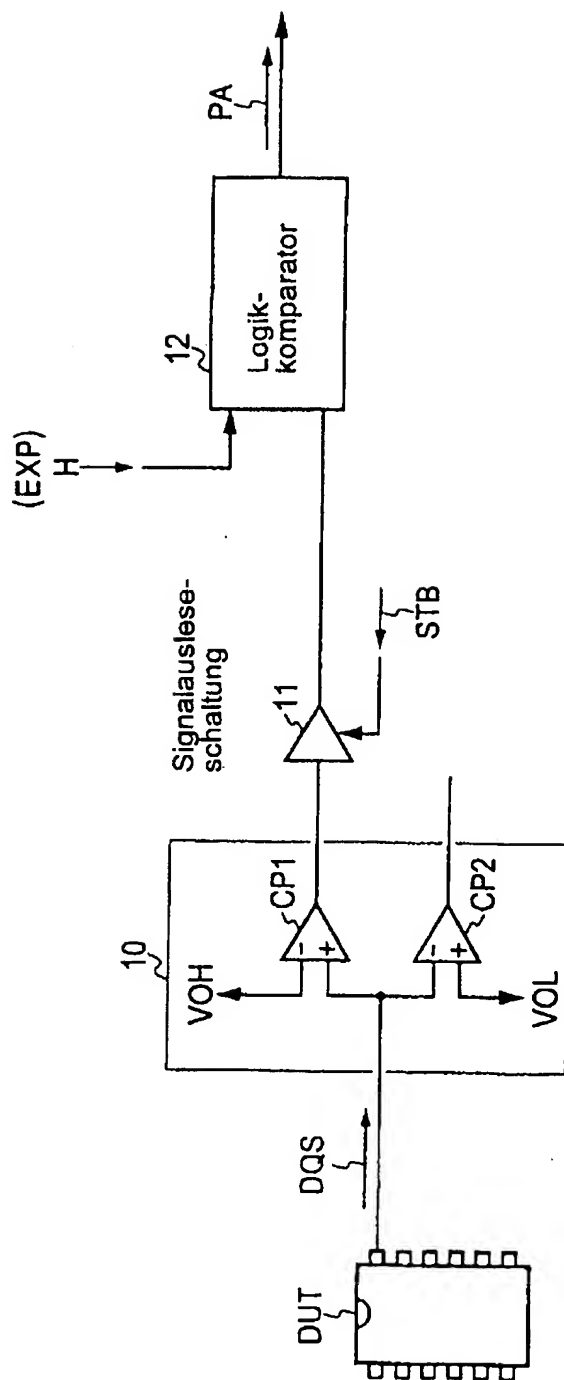
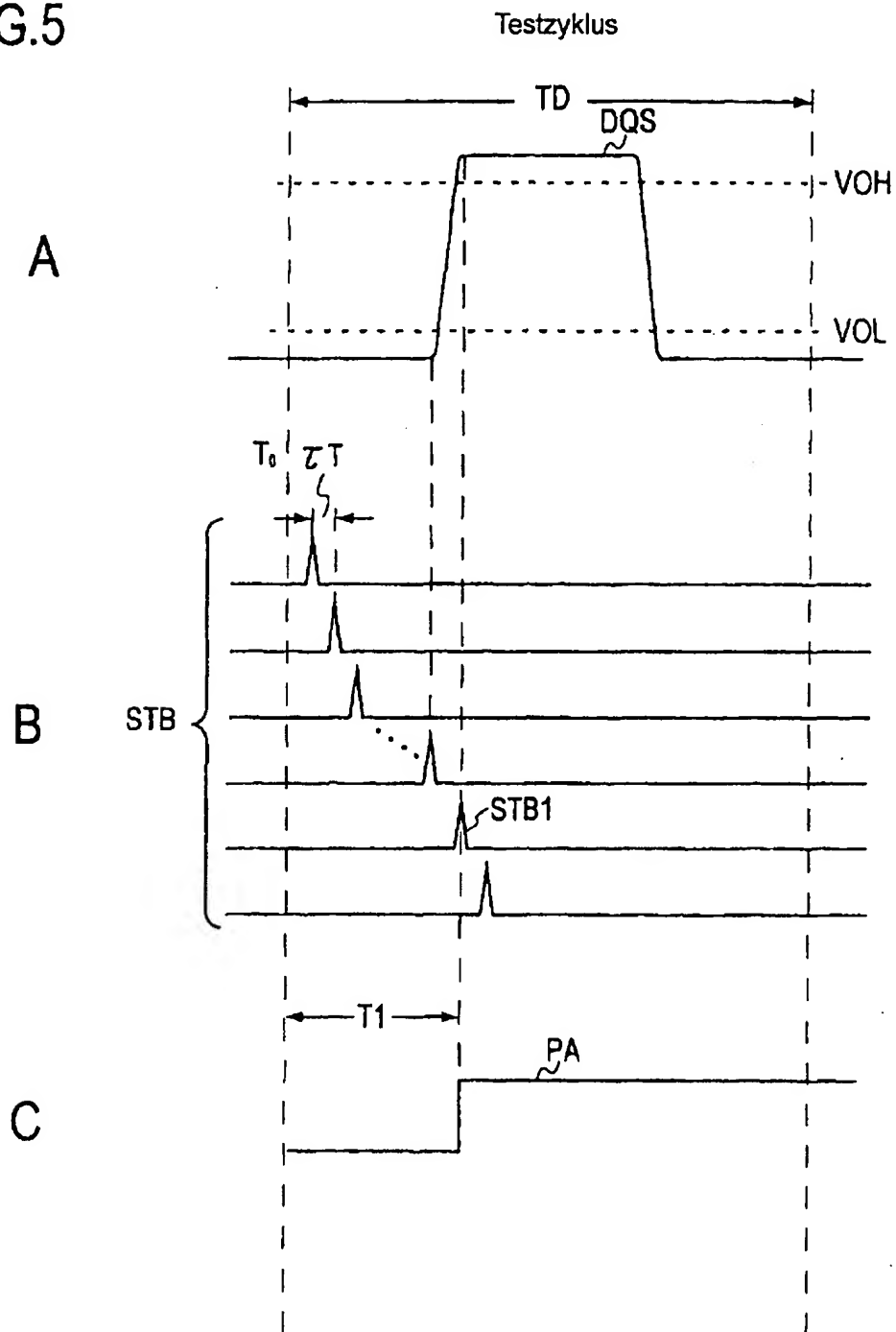


FIG.3



STAND DER TECHNIK FIG.4

FIG.5



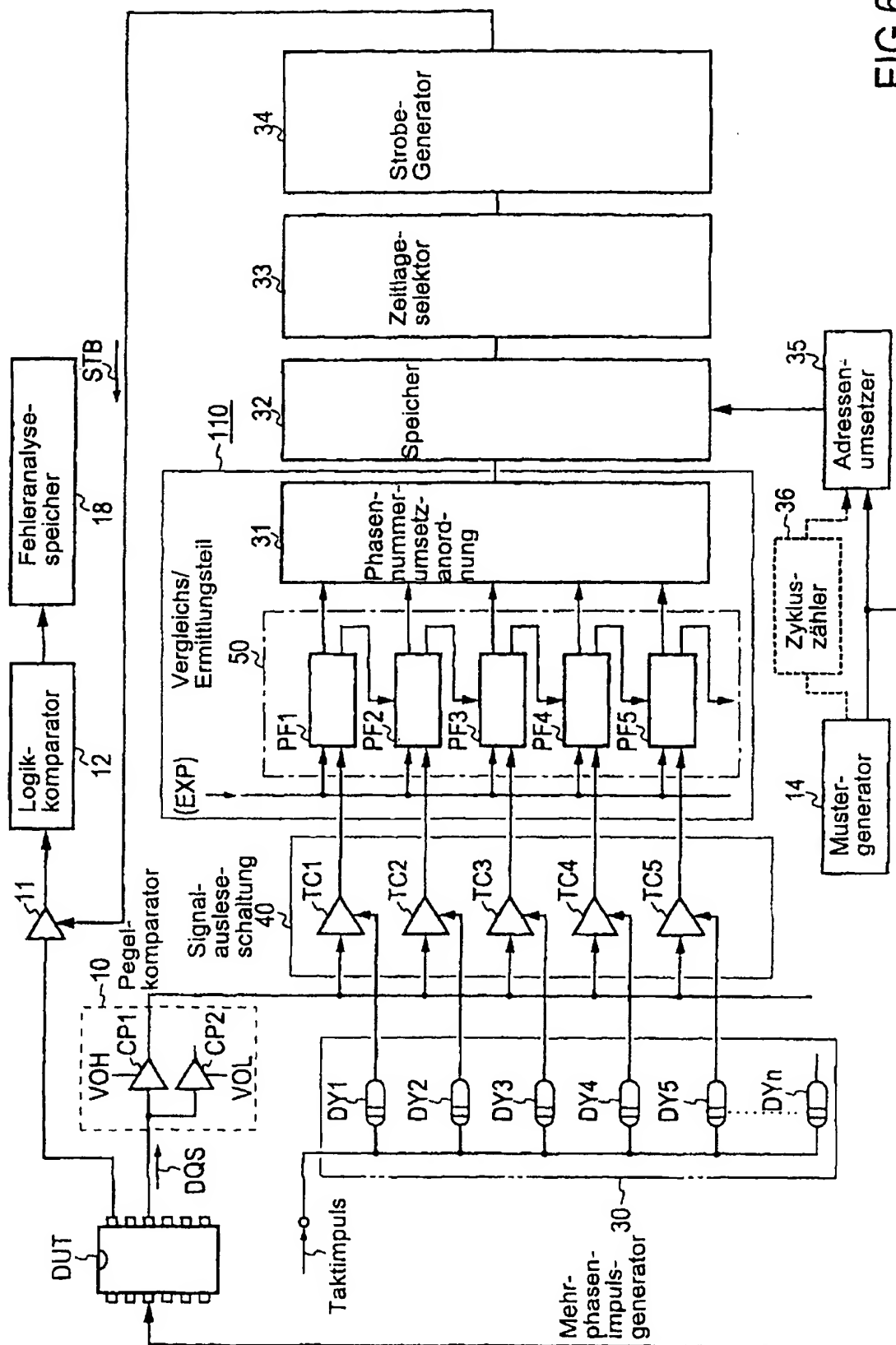


FIG. 6

FIG.7

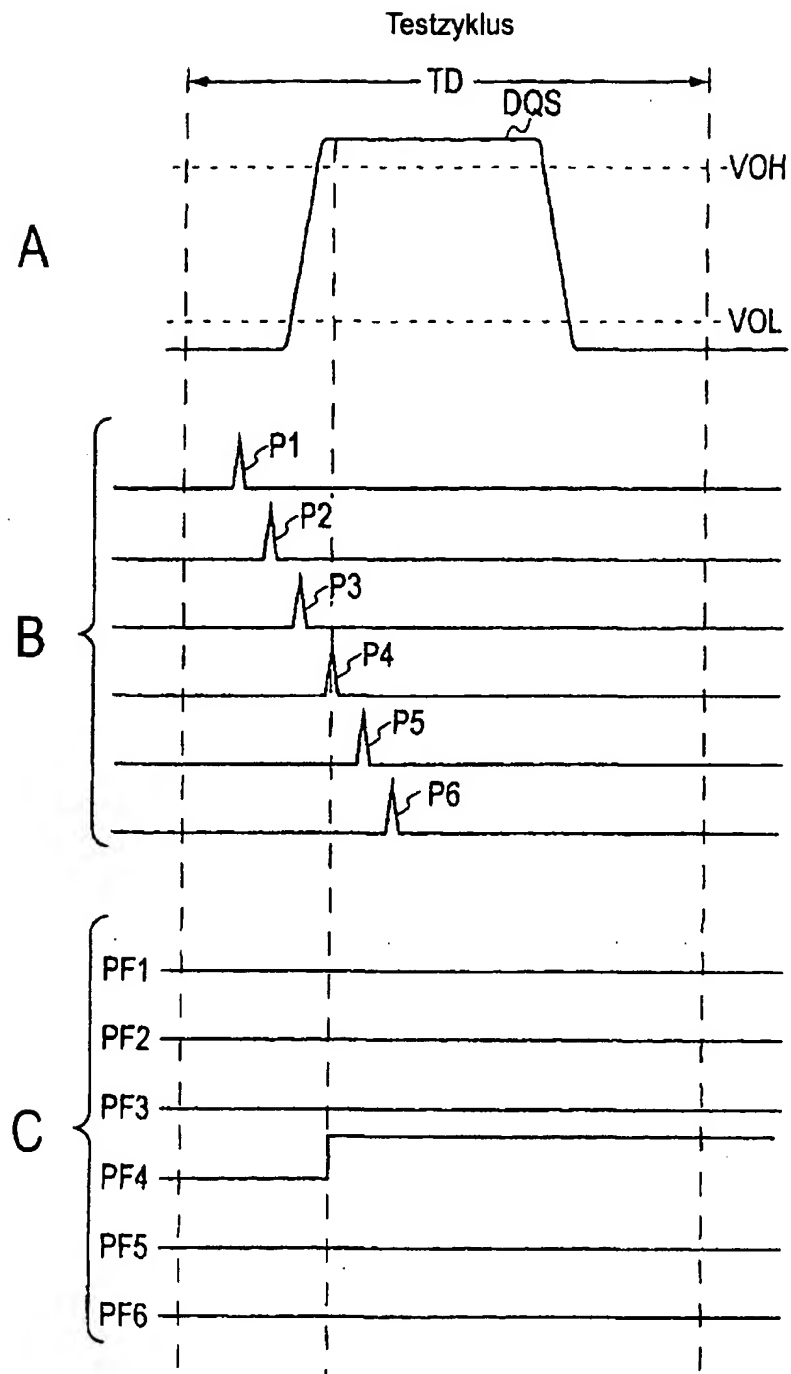
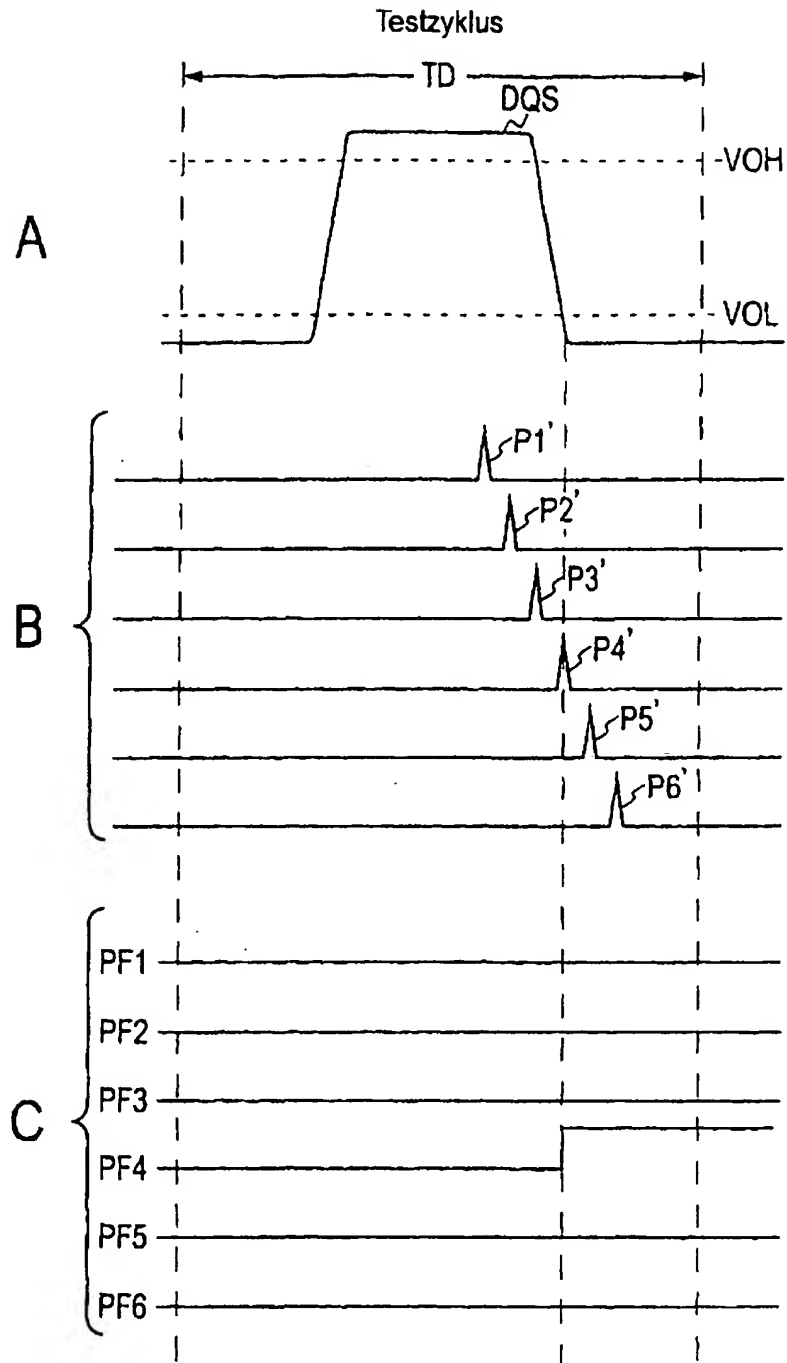


FIG.8



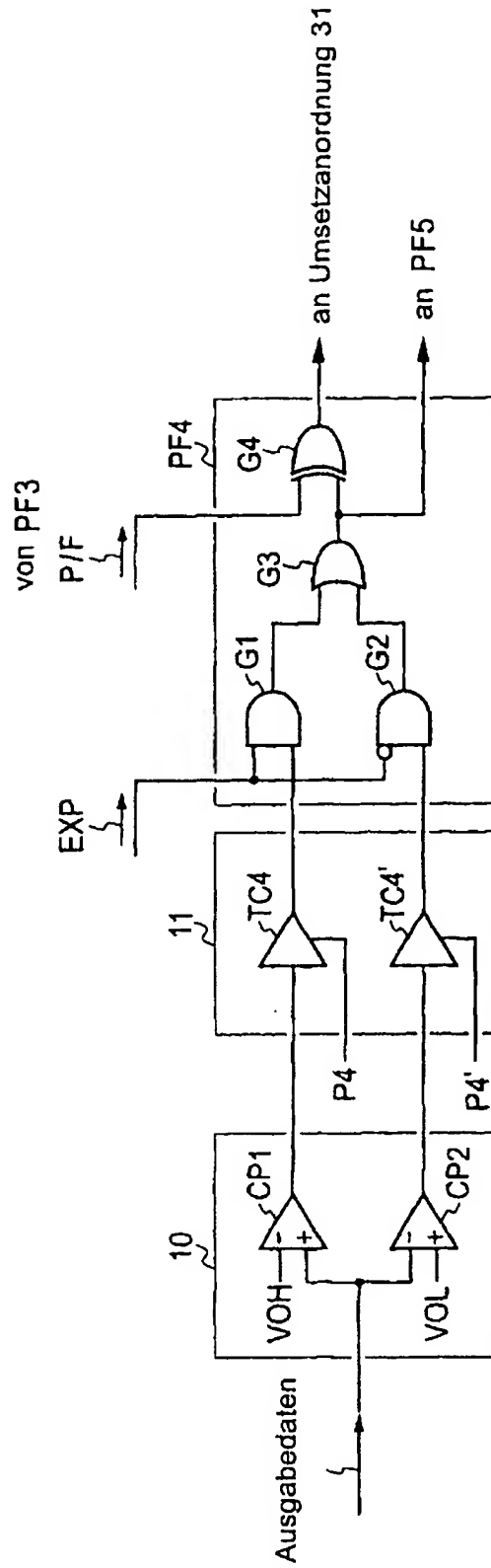


FIG. 9

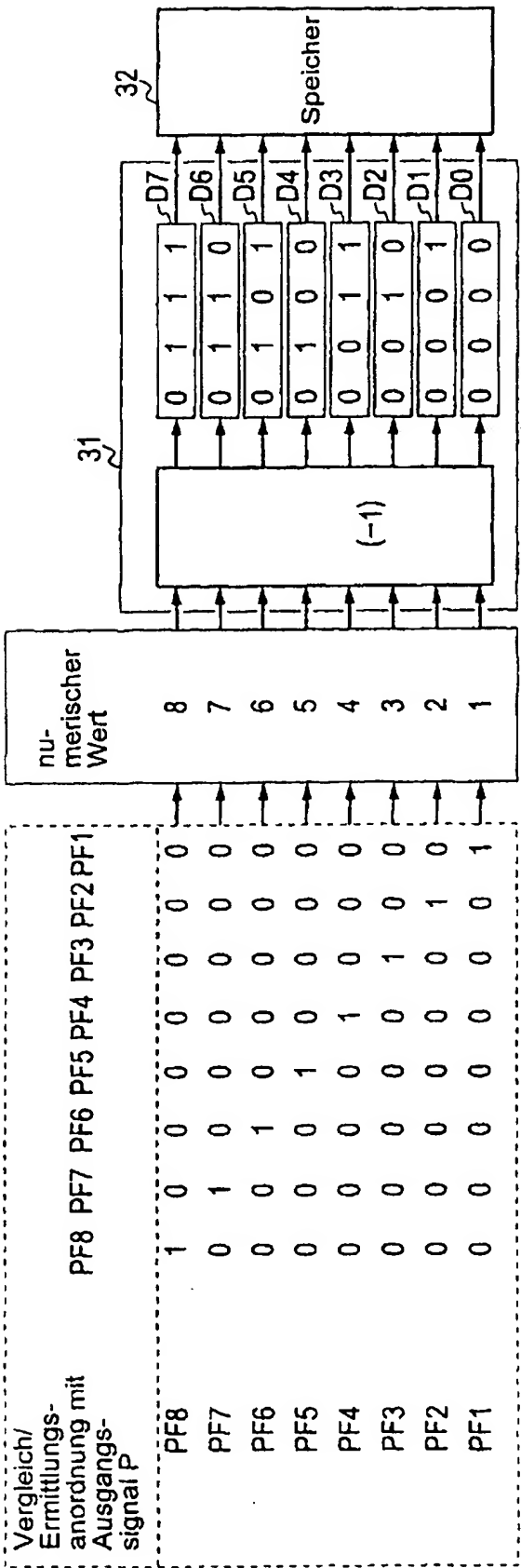


FIG.10

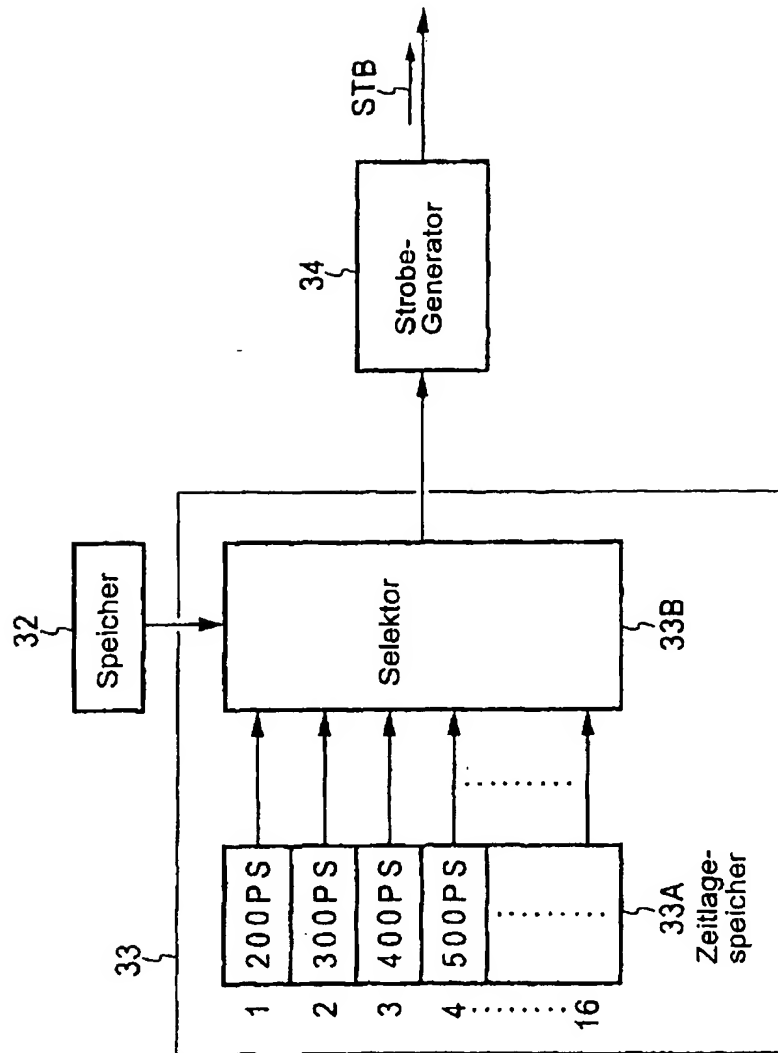


FIG.11

FIG.12

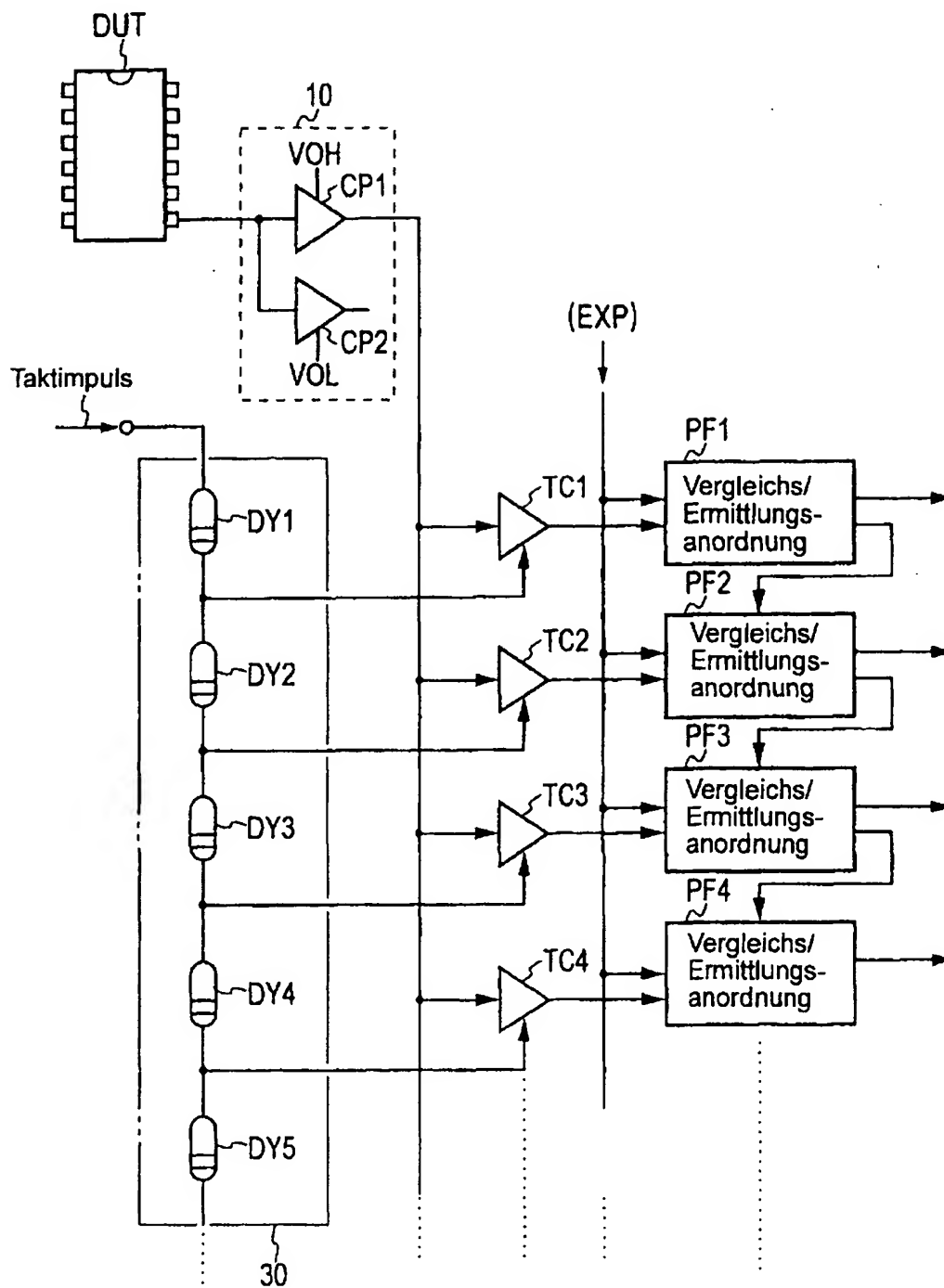
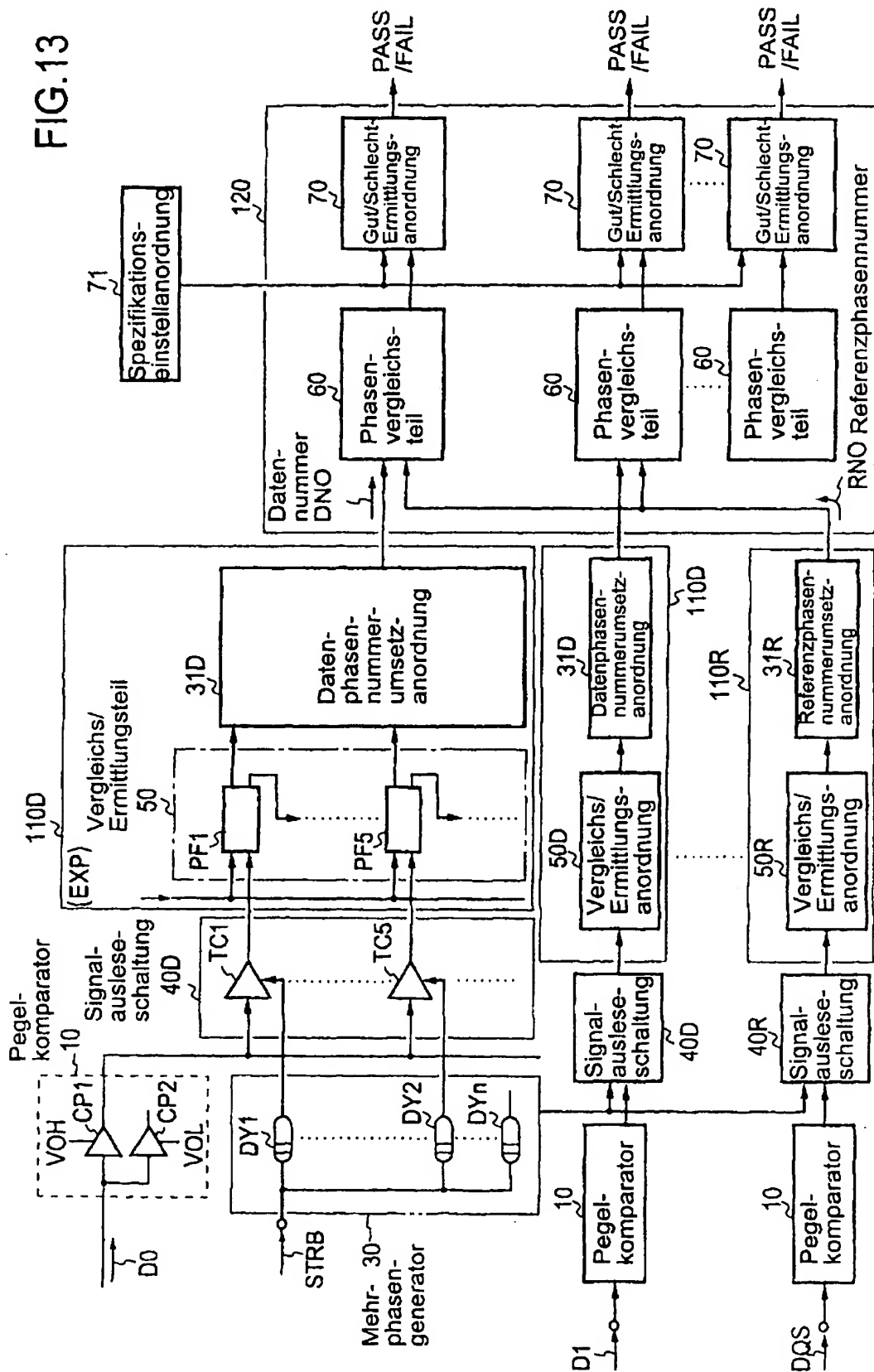


FIG.13



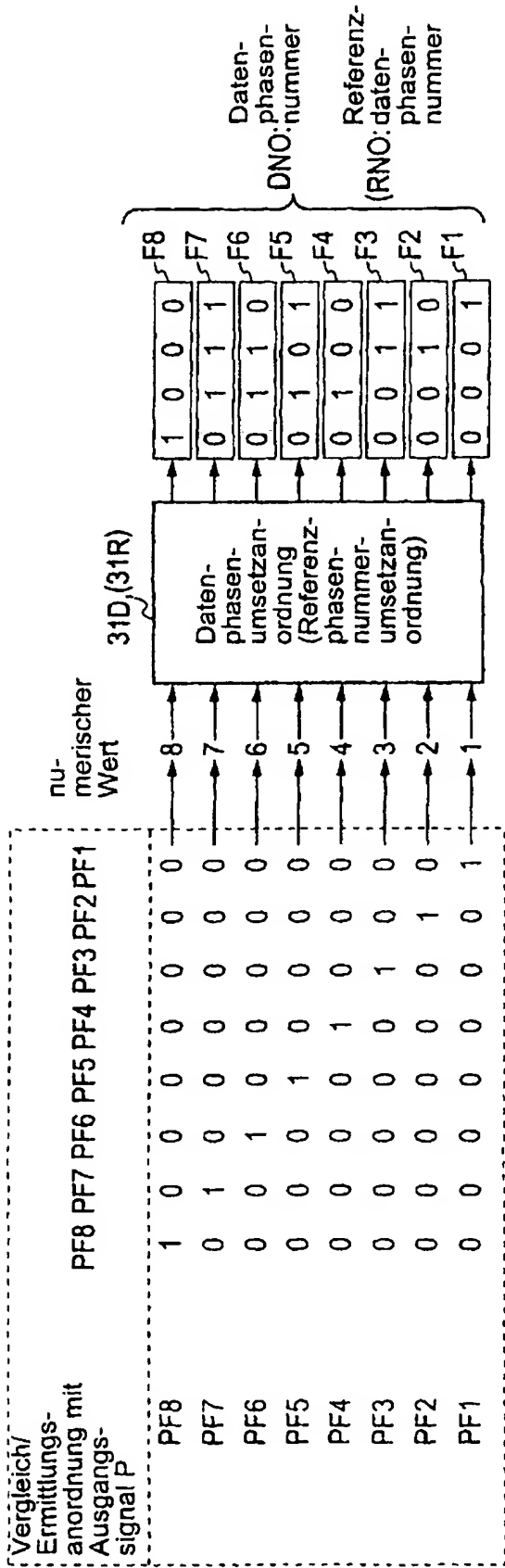


FIG.14

FIG.15

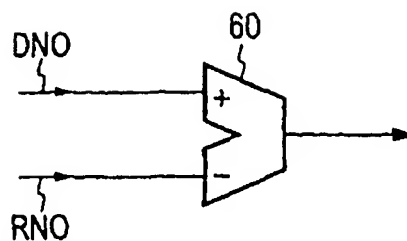


FIG.16

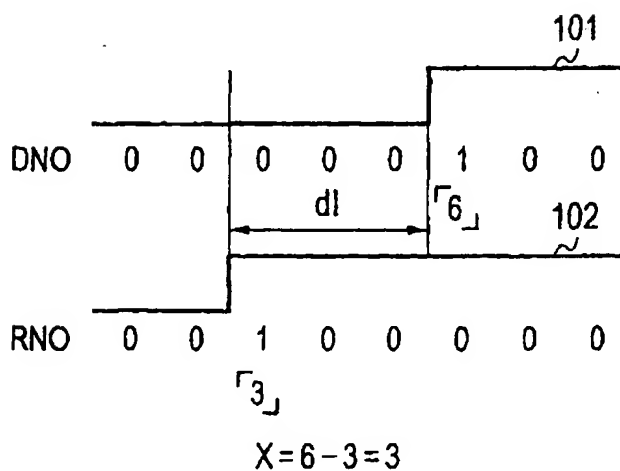
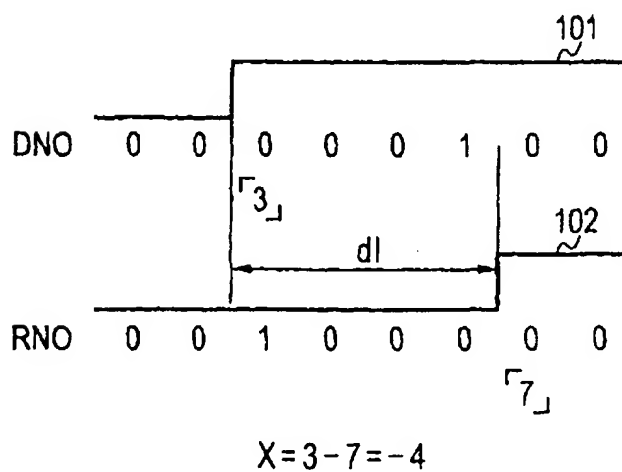


FIG.17



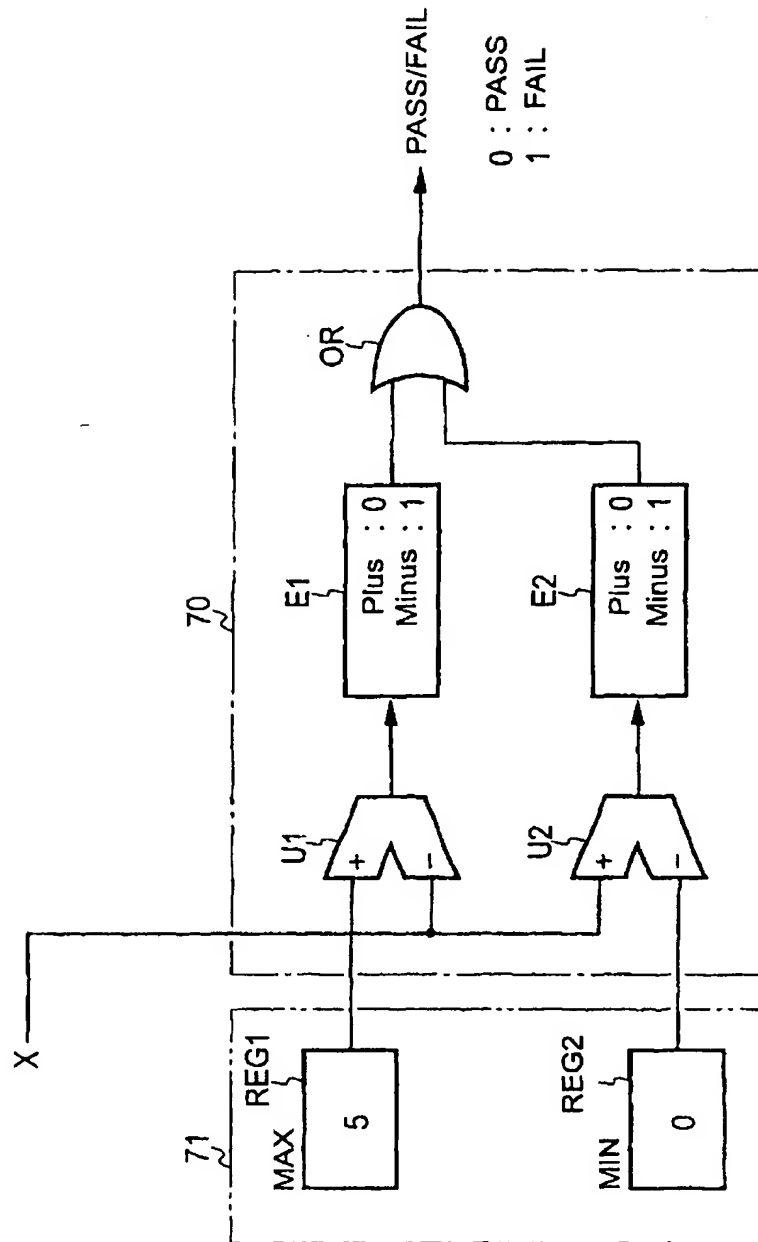


FIG.18

FIG. 19

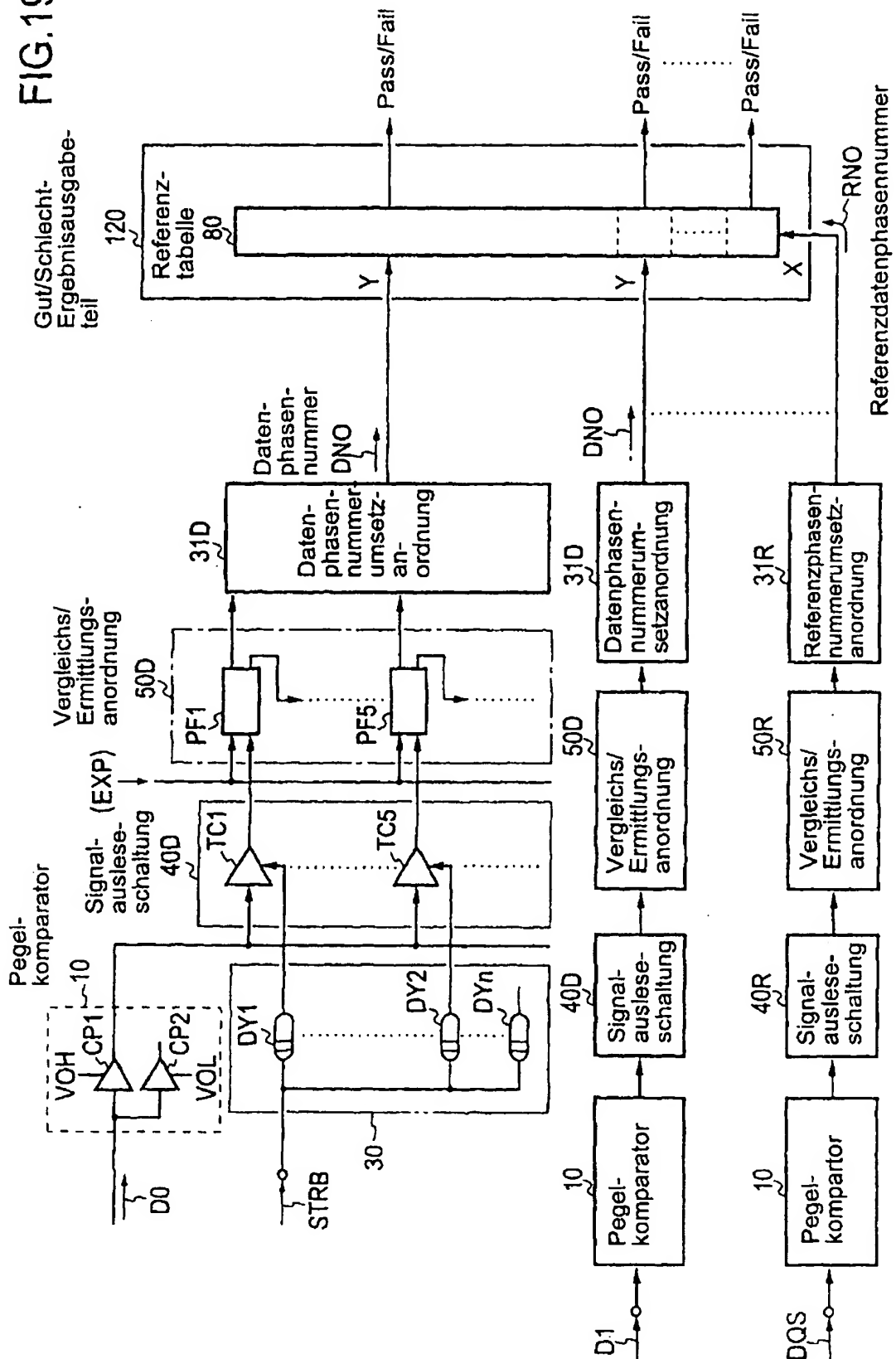


FIG.20 A

DNO
↑

8	7	6	5	4	3	2	1	0
7	6	5	4	3	2	1	0	-1
6	5	4	3	2	1	0	-1	-2
5	4	3	2	1	0	-1	-2	-3
4	3	2	1	0	-1	-2	-3	-4
3	2	1	0	-1	-2	-3	-4	-5
2	1	0	-1	-2	-3	-4	-5	-6
1	0	-1	-2	-3	-4	-5	-6	-7
	1	2	3	4	5	6	7	8

→ RNO

FIG.20 B

80 Referenztable

(Y-Adresse)
DNO
↑

8	F	F	F	F	F	P	P	P
7	F	F	F	F	P	P	P	P
6	F	F	F	P	P	P	P	P
5	F	F	P	P	P	P	P	F
4	F	P	P	P	P	P	F	F
3	P	P	P	P	P	F	F	F
2	P	P	P	P	F	F	F	F
1	P	P	P	F	F	F	F	F
	1	2	3	4	5	6	7	8

→ RNO (X-Adresse)

FIG.21

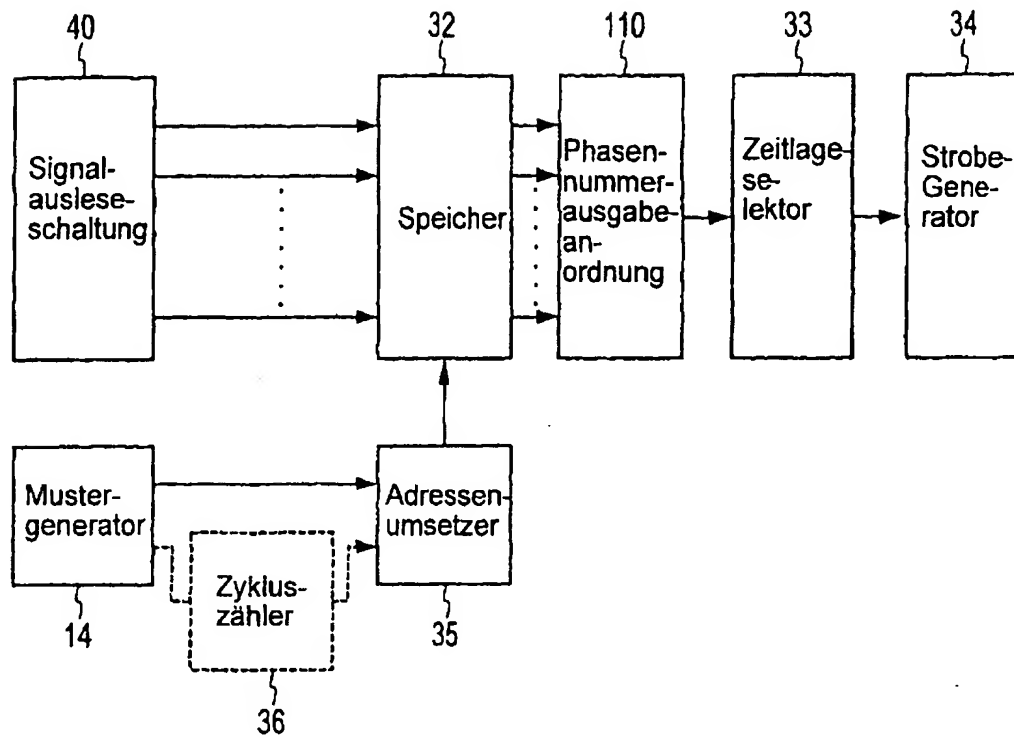
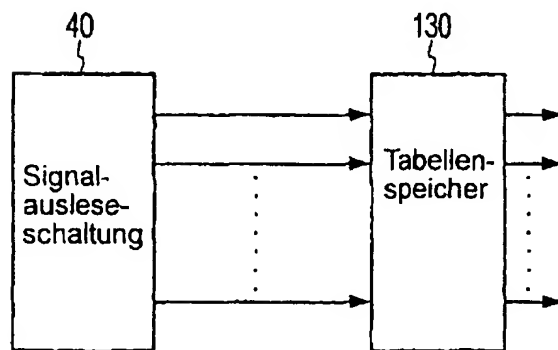


FIG.22



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☒ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.